

Übersicht

XJEase ist eine Hochsprache für die Programmierung kompletter JTAG-Testlösungen mit der vollen Funktionalität, Flexibilität und Kontrolle, die Sie benötigen.

Mit dem integrierten Verbindungstest können Sie auf der Basis Ihrer Netzlisten Kurzschlüsse und Unterbrechungen auf dem Board erkennen. JTAG-Bausteine (z.B. CPLD, FPGA) und Komponenten ohne JTAG-Interface (z.B. Flash-Speicher) lassen sich direkt auf dem Board programmieren und über erweiterte Testroutinen auf Herz und Nieren prüfen. Bevor Sie Ihr Leiterplattenlayout erstellt haben, können Sie die Testabdeckung laufend optimieren.

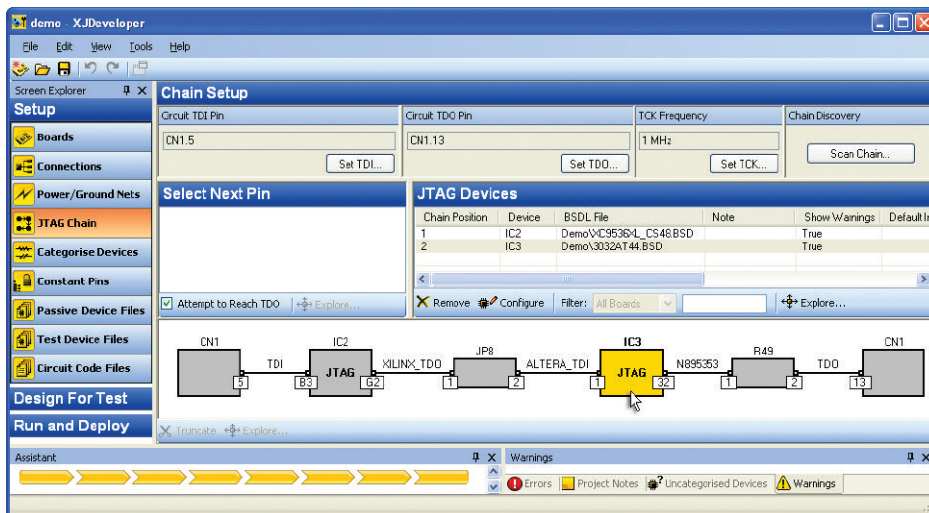
XJDeveloper

XJDeveloper ist ein grafisches Werkzeug, mit dem Sie die XJEase-Beschreibung der Schaltung entwickeln können, die Sie testen wollen. Über ein einfaches Drag-and-Drop-Interface definieren Sie die JTAG-Chain und bestimmen alle Nicht-JTAG-Bausteine in der Schaltung einfach und schnell. Der integrierte Netzlisten-Explorer ermöglicht die Darstellung der Verbindungen zwischen den einzelnen Komponenten.

Test von Komponenten ohne JTAG-Interface

In XJEase können Sie sehr einfach über die Bausteine in der JTAG-Kette auch die Verbindungen der Komponenten ohne JTAG-Interface testen. Wenn Sie z.B. Testdaten in einen Speicherbaustein schreiben und wieder zurück lesen, können Sie feststellen, ob die Daten- und Adressleitungen frei von Kurzschlüssen oder Unterbrechungen sind. Sie können auch wesentlich

Konfigurieren Sie Ihr Projekt mit dem XJDeveloper



Test von JTAG-Bausteinen

XJEase verwendet die Informationen aus Ihrer Netzliste und aus den BSDL-Dateien, um die Verbindungen auf dem zu testenden Board zu überprüfen. Die BSDL-Dateien erhalten Sie in der Regel kostenlos auf der Webseite der Chip-Hersteller.

komplexere Testabläufe realisieren, wie z.B. die Übertragung von Ethernet-Paketen – und das ohne vorher den Prozessor booten zu müssen.

Mit XJEase haben Sie die vollständige Kontrolle über den Ablauf Ihrer Tests. Ein möglichst einfacher Zugriff auf die Hardware war das wichtigste

Die wichtigsten Vorteile

- Reduzierter Zeitaufwand bei der Fehlersuche auf dem Board durch exakte Fehlereingrenzung
- Verkürztes Time-to-Market und reduziertes Projektrisiko auf Grund einer frühzeitigen Design-Verifizierung
- Die Wiederverwendbarkeit der Tests für Entwicklung / Prototyping bis hin zur Fertigung und Wartung verkürzt die Test-Entwicklungszeiten drastisch
- Weitere Zeiteinsparungen durch die Wiederverwendung von Tests zwischen unterschiedlichen Projekten

Entwicklungsziel von XJEase. Legen Sie einfach fest, welche Anschlüsse der Non-JTAG-Bausteine angesteuert und welche gelesen werden sollen. Sie müssen sich nicht darum kümmern, über welche JTAG-Bausteine Sie diese Pins erreichen oder wie der passende JTAG-Befehl dazu lautet.

Schnelle Test-Entwicklung

Die Tests für einen Baustein ohne JTAG-Schnittstelle werden für diese Komponente unabhängig vom Rest der Schaltung geschrieben. Dadurch sind Sie in der Lage, den Test immer wieder zu verwenden, wenn der Baustein in einem zukünftigen Design zum Einsatz kommt. So sparen Sie sehr viel Zeit und Geld.

XJEase bietet Ihnen alle Vorzüge, die Sie von der Hochsprachen-Programmierung gewohnt sind: Variablen, Schleifen, bedingte Ausführung, Funktionsaufrufe und vieles mehr. Sie können Ihr Board in Echtzeit kontrollieren und nicht nur Werte setzen und prüfen.

Kostenlose Bibliothek

Um Bausteine ohne JTAG-Schnittstelle zu testen, steht Ihnen auf www.xjtag.com eine umfangreiche Bibliothek von XJEase-Chip-Files zum kostenlosen Download zur Verfügung. Selbst wenn

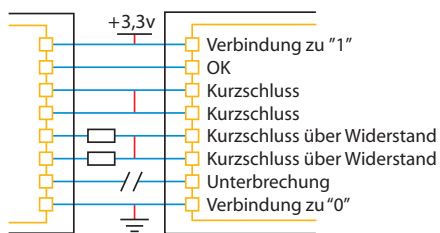
Sie XJTAG das allererste Mal einsetzen, ist es möglich, einen vollständigen funktionierenden Test ohne jede zusätzliche Programmierung zu realisieren.

Wenn Sie die Datei für genau Ihren Baustein nicht finden sollten, laden Sie einfach ein ähnliches File herunter und passen es in wenigen Schritten an. Außerdem stehen wir Ihnen beratend und unterstützend zur Seite, damit der Test genau Ihren Anforderungen entspricht.

Verbindungstest

XJEase verfügt über einen integrierten Verbindungstest für alle Anschlüsse der JTAG-Bausteine. Abhängig davon, in welchem Maß der Zugriff über den Boundary Scan möglich ist, überprüft der Verbindungstest die Leiterbahnen auf Kurzschlüsse und Unterbrechungen – auch Kurzschlüsse zur Versorgung oder Masse sowie widerstandsbehaftete Kurzschlüsse und Kurzschlüsse über einen Inverter.

Auch Pull-up- und Pull-down-Widerstände werden in den automatischen Verbindungstest einbezogen. Wenn das Board eine geringe Übersprechung aufweist, sind auch erweiterte Tests möglich, um entfernte Kurzschlüsse zu erkennen.



Mit dem XJEase Verbindungstest ermitteln Sie die Mehrzahl aller Fehler

Nachdem ein Fehler erkannt wurde, führt der Verbindungstest abhängig vom Aufbau des Boards weitere Analysen durch, um den Fehlerort weiter einzuzugrenzen. Viele unserer Kunden haben Fehler auf Baugruppen gefunden, die vorher als fehlerfrei eingestuft waren.

Flash Programmierung

Auf der XJTAG-Website steht Ihnen eine große Anzahl Device Files für Flash-Bausteine zum Download bereit. Darunter auch Funktionen für die Programmierung der Bausteine mit jedem beliebigen Image. Diese Dateien nutzen die Programmieralgorithmen, die in den Datenblättern angegeben sind, um beliebige Bausteine ohne JTAG-Unterstützung testen zu können. Es ist nicht notwendig, die Verbindungen zwischen dem Flash und dem JTAG-Baustein aufzulisten. Dazu verwendet XJEase die Netzliste und führt diese Aufgabe automatisch durch. Das darunter liegende XJEase-System generiert die erforderlichen Vektoren, um den Flash-Baustein zu programmieren.

Analyse der Testabdeckung

Sobald Sie über einen ersten Schaltplanentwurf verfügen, können Sie analysieren, wie viel von Ihrem Board durch den XJEase-Test abgedeckt wird. So können Sie sehen, wo Sie mit zusätzlichen Verbindungen die Abdeckung verbessern können. Die Testabdeckung wird automatisch aus der Kombination von XJEase-Verbindungstest und dem zusätzlichen Test der Bausteine ohne JTAG-Unterstützung berechnet. Um die volle Funktionalität von XJEase ausnutzen zu können, hat XJTAG ein DFT-Handbuch (Design for Testability) als Referenz-Leitfaden erstellt.

Programmierung von CPLD/FPGA

Viele JTAG-Bausteine wie CPLD und FPGA können direkt über Dateien im Format STAPL / JAM und SVF programmiert werden, die mit den Werkzeugen der Chiphersteller erzeugt wurden. Die Programmierung wird in einem Stand-alone-Prozess oder integriert in XJEase mit einer einzigen Zeile Code vorgenommen.

Eigenschaften

- Analyse der Testabdeckung vor der Entwicklung der Leiterplatte
- Integrierter, adaptiver Verbindungstest
- Zeitsparende Wiederverwendung der Bauteildateien — kostenlose Bibliothek für Standard-Bausteine online verfügbar
- Programmierung von CPLD, FPGA, Flash-Bausteinen usw.
- Erweiterte Testfunktionen — z.B. Ethernet Loopback
- Integration in andere Applikationen, um eine vollständige Testumgebung zu entwickeln
- Unterstützung von Netzlisten im Format EDIF 2.0.0, RINF, Protel, PADS_PCB, ALLEGRO und viele andere
- Unterstützt IEEE 1149.1 und 1149.6-Testfunktionen

XJTAG bietet mehr...

Beim Kauf von XJEase erhalten Sie alle genannten Funktionen. Außerdem im Preis:

- XJRunner — die spezielle Laufzeitumgebung für die Ausführung der XJEase-Testskripte
- XJLink — der USB-2.0-Adapter, den Sie benötigen, um Ihren PC mit der JTAG-Schnittstelle auf dem Board zu verbinden
- Eine Floating Lizenz, die sich im XJLink befindet. Sie können die Software auf beliebig vielen PCs installieren
- Demo hardware, Umfangreiches Tutorial

Integration

Über das COM-Interface kann XJEase in andere Testumgebungen wie LabView, Visual Basic oder jeder anderen Windows-Anwendung integriert werden.

Vertriebspartner / Technologiepartner

www.xjtag.com/partners