



II JTAG e le sue potenzialità

JTAG è più che un semplice strumento di debug e di programmazione. I processori spesso utilizzano il JTAG per fornire l'accesso alle loro funzioni di debug e di emulazione, mentre le FPGA (Field Programmable Gate Array) e i CPLD (Complex Programmable Logic Device) utilizzano il JTAG per accedere alle proprie funzioni di programmazione

di Dario Gozzi

JTAG non è solo una tecnologia per il debug e l'emulazione dei processori e neppure una tecnologia esclusivamente dedicata alla programmazione delle FPGA e delle CPLD. Gli strumenti di debug e di programmazione comunemente associati al JTAG utilizzano solo uno degli aspetti propri della tecnologia che vi è alla base, ovvero il protocollo di comunicazione JTAG a quattro fili.

Questi quattro segnali, comunemente conosciuti come

Test Access Port (TAP), fanno parte dello standard IEEE 1149.1. Questo standard è stato sviluppato per fornire una tecnologia utile a testare quelle schede elettroniche che siano sprovviste di un livello di accesso fisico necessario per il test con letto d'aghi, o senza uno sviluppo ad-hoc necessario per il test funzionale. Il TAP è stato progettato per interagire con i nuovi registri aggiunti nei componenti al fine di implementare questa metodologia di test.

I produttori di circuiti integrati hanno rapidamente

riconosciuto i vantaggi di utilizzare il TAP per accedere ai registri che offrono funzionalità come il debug.

Il registro principale aggiunto a un dispositivo specificamente per il test JTAG viene chiamato Boundary Scan Register (BSR). Come il suo nome suggerisce, i singoli bit (o celle) di questo registro sono implementati in prossimità della periferia (boundary) del componente, tra il suo core e i terminali esterni (pin o ball) con cui esso è collegato alla scheda – molto spesso il test JTAG è definito semplicemente boundary scan. XJTAG, con sede a Cambridge in UK, è un fornitore a livello globale di strumenti hardware e softwa-

re per il test JTAG. L'azienda si concentra sullo sviluppo di prodotti innovativi e sul supporto tecnico di alto livello: per agevolare la conoscenza della tecnologia ai nuovi clienti, XJTAG offre il free trial della sua piattaforma completa, il setup gratuito e il training.

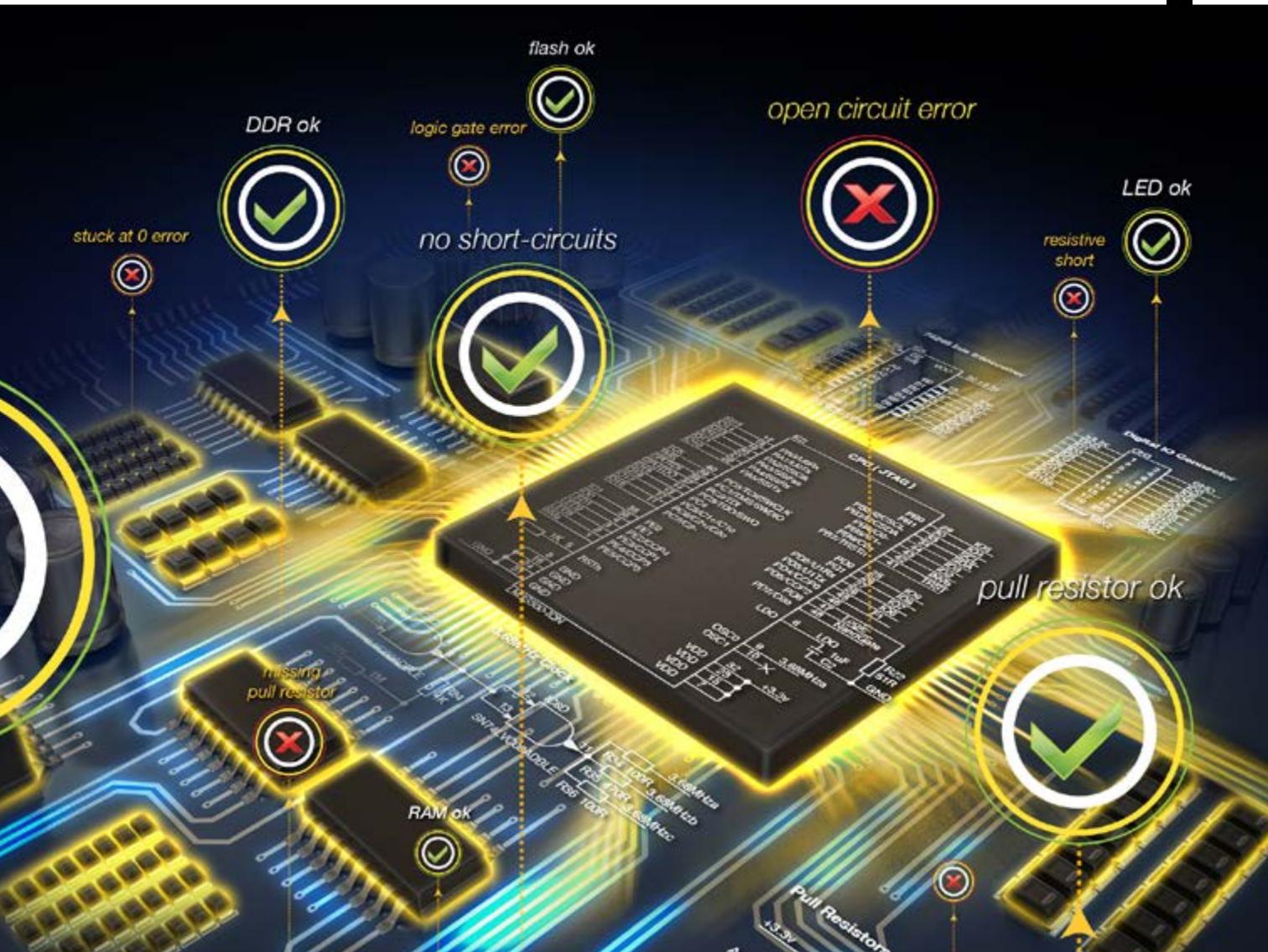
File BSDL e IEEE 1149

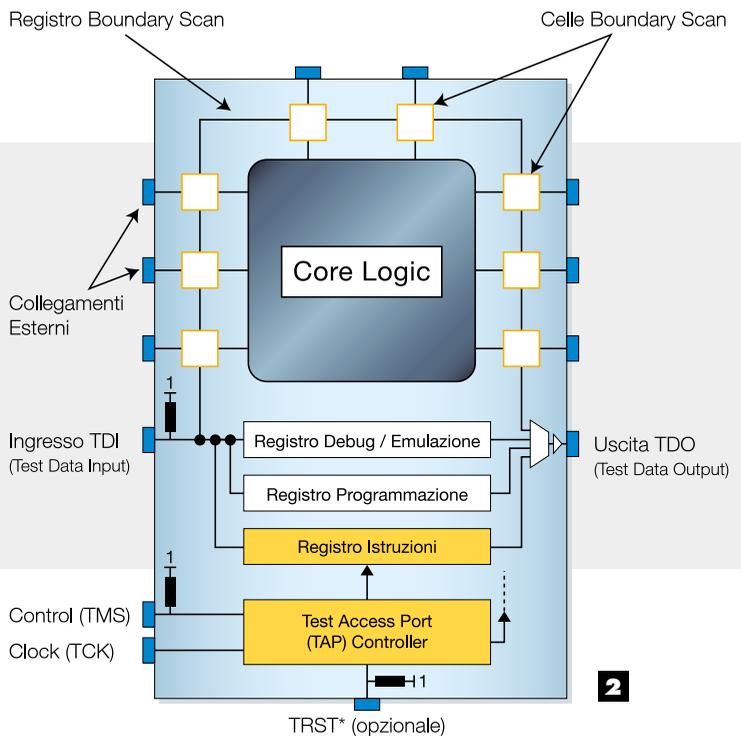
Boundary Scan Description Language (BSDL) si basa sulla sintassi e sulla grammatica di VHDL e descrive come l'architettura BS è stata implementata in un dispositivo. Senza un file BSDL un produttore non può dichiarare il proprio dispositivo conforme a IEEE 1149.1.

Questi file sono normalmente disponibili gratuitamente per il download dai siti Web dei produttori.

Il sistema di test XJTAG utilizza le informazioni con-

1. Il Boundary Scan opera in un ampio scenario che copre dal test alla programmazione in-circuit





2. L'insieme dei registri di JTAG: core logic, registro boundary scan, registro debug/emulazione, registro programmazione, registro istruzioni, celle boundary scan, collegamenti esterni, ingresso TDI e uscita TDO

tenute in un file BSDL per determinare come accedere a un dispositivo nella catena JTAG. Gli standard IEEE 1149 definiscono un insieme di celle standard che possono essere utilizzate per creare il registro di scansione perimetrale (Boundary Scan register). Tuttavia il produttore ha la possibilità di creare le proprie architetture di celle, nel qual caso fornirà ulteriori informazioni che descrivono il comportamento dei tipi di celle non standard.

Come XJTAG utilizza il Boundary Scan per testare una scheda

Le celle boundary scan possono operare in due modalità diverse. Nella loro modalità funzionale, le celle non hanno alcun effetto sul funzionamento del componente; questa è la modalità nella quale le celle sono configurate quando la scheda lavora normalmente. Al contrario quando si trovano in modalità test le celle isolano il core del componente dai pin esterni e possono essere utilizzate per controllare i valori che saranno forzati su una net da un componente JTAG, oppure per monitorare lo stato di quella net.

La possibilità di isolare il controllo dei pin dalla funzionalità del componente abilitato JTAG rende il test BS decisamente più semplice di un tradizionale test funzionale, in quanto non è richiesta nessuna configurazione del componente per poter abilitare i pin. Mettendo a disposizione un meccanismo con il quale è possibile monitorare tramite un TAP a 4 fili tutti i segnali abilitati, il JTAG riduce significativamente l'accesso fisico richiesto per testare un PCBA.

Ci sono due diversi modi in cui è possibile utilizzare le proprietà del BS per testare un PCBA.

Nel primo il test di connessione fornisce una buona copertura di test, in particolare per il rilevamento di eventuali cortocircuiti presenti sulla scheda. Esso si basa puramente sulle proprietà dei componenti JTAG, sulle connessioni della scheda e – nel caso di XJTAG – sul funzionamento dei componenti logici presenti nel circuito. Il secondo modo amplia la copertura di test utilizzando i componenti abilitati al JTAG per comunicare con altri componenti non-JTAG, come ad esempio le RAM DDR e le memorie flash.

Il test avanzato di connessione

Un test di connessione JTAG verifica che sulla scheda le connessioni attorno ai dispositivi JTAG rispettino quelle specificate nel progetto.

Se da progetto due pin con accesso JTAG devono essere connessi, il test assicurerà che un pin possa essere controllato dall'altro. Quando al contrario i pin non devono essere connessi tra loro, essi vengono testati per individuare eventuali cortocircuiti pilotando un pin e verificando che i valori forzati non siano letti sugli altri pin. Possono anche essere individuate resistenze di pull-up o pull-down mancanti e corti verso massa o verso l'alimentazione.

Il test avanzato di connessione di XJTAG individua automaticamente anche altri eventuali problemi, come ad esempio cortocircuiti su net o guasti che riguardano componenti logici il cui comportamento può essere descritto con una tabella della verità.

Mentre i dispositivi principali, come i processori e le FPGA, sono normalmente abilitati al JTAG, su ogni PCBA esistono molti componenti che non lo sono. DDR, SDRAM, SRAM, memorie flash, Ethernet PHY (PHY è un'abbreviazione per "livello fisico", è un circuito elettronico –solitamente un chip– necessario per le funzioni di livello fisico nelle telecomunicazioni), sensori di temperatura SPI e I2C (Serial Peripheral Interface - Inter Integrated Circuit), clock in real time, ADC e DAC sono solo alcuni esempi.

Il test di connessione fornirà un'ottima copertura per i guasti di cortocircuito sulle net che collegano questi componenti non-JTAG a quelli JTAG. Tuttavia, questo test non



AUTOMATION *High-Performance Screen printer*

HC Aetter



Accessori che fanno la differenza!

- Industria 4.0
- Lettura data matrix
- Tracciabilità
- Trasduttore di pressione
- Controllo crema 2D
- Pulizia Stencil
- Fissaggio PCB con vuoto
- S.P.I. Closed loop
- Dispenser colla
- Dispenser crema
- Climatizzazione

HC Automation è leader nella produzione di macchine serigrafiche automatiche con prestazioni al TOP di gamma (accuratezza min. 7 µm). Tra le macchine più richieste si trova la **Aetter** apprezzata

per una generosa area di stampa (600 x 510 mm.) ed per un'accuratezza di 8 µm. **Aetter** è un prodotto in grado di garantire un'ottima ripetibilità di stampa per micro componenti come lo 01005 e integrati con passo 0,3 mm.

HC Series



Insieme alla linea **Aetter** proponiamo altre due importanti linee di prodotti, **HP** e **HC**. Con una vasta gamma di macchine, ogni modello speci-

HP Series



fico incontra le esigenze di clienti diversi sia in termini prestazionali che di ritorno dell'investimento. **HC Automation** è sinonimo di ripetibilità ed affidabilità!



Distribuito da:

STE.AL.TECH.
Your ideal partner in electronic

STE.AL.TECH. S.R.L. Via 2 Giugno 56, 23807 Merate (LC) - Tel: 039 9910404
E-mail: info@weldingtechnology.it - Url: <http://www.weldingtechnology.it>

3. Il kit XJTAG con in primo piano il controller 4 TAPs XJLink2

è in grado di verificare eventuali circuiti aperti sia sul componente JTAG che su quello non-JTAG. Per aggiungere questa copertura è necessario interagire con il componente non-JTAG sfruttando le funzionalità boundary scan fornite dal componente JTAG. Quindi se la comunicazione tra i due componenti può essere verificata, si potrà scartare guasti dati da circuiti aperti. Questo tipo di test può essere molto semplice (ad esempio accendere un LED sulla scheda e chiedere ad un operatore di verificarne il funzionamento), oppure molto complesso (ad esempio scrivere dati nell'array di una RAM per poi leggerli).

Come operare col sistema di test XJTAG

Con il software XJTAG è installata la libreria per i componenti standard non-JTAG col cui utilizzo è possibile ottenere un set di test immediatamente funzionanti sul PCBA in esame, che non richiede lo sviluppo di alcun codice. La libreria contiene modelli per tutti i tipi di dispositivi non-JTAG, dalle semplici resistenze ai buffer ai componenti complessi come le DDR4. Poiché il BS isola il controllo dei pin sui dispositivi JTAG dalla loro effettiva funzionalità, lo stesso modello può essere utilizzato indipendentemente dal componente JTAG che controlla una determinata periferica. La maggior parte delle schede contiene già connettori JTAG per la programmazione o il debug, quindi non sono richiesti requisiti di progettazione aggiuntivi per utilizzare questa tecnologia.

Per eseguire il test è necessario accedere ad alcune informazioni in merito all'implementazione del JTAG sui componenti abilitati, che sono contenute nei file BSDL (Boundary Scan Description Language). Questi sono resi disponibili dal fornitore dei circuiti integrati per far sì che i componenti siano conformi con lo standard IEEE 1149.1.

Dalla R&D alla produzione

Uno dei principali vantaggi del boundary scan è che l'unico hardware richiesto per il test è un controller JTAG. Altre tecnologie di test utilizzate in produzione, come i sistemi a sonde mobili o con letto d'aghi, l'ispezione ottica o con i raggi X, hanno bisogno di strutture di test specializzate che di solito non sono disponibili in laboratorio per



gli sviluppatori. L'utilizzo del boundary scan durante la fase di board bring-up si rivela strategicamente fondamentale; è questa composta da un processo graduale in base al quale un sistema elettronico, comprendente elementi di assemblaggio, hardware, firmware e software, viene in varie successioni testato, validato e sottoposto a debug. È un processo iterativo, finalizzato a dissipare dubbi e ad ultimare il dispositivo elettronico per ottenerne la producibilità.

Gli ingegneri possono testare i prototipi per individuare eventuali lacune di progettazione e discordanze rispetto alle specifiche fabbricazione, anche prima che il firmware sia disponibile. Le procedure di test sviluppate in questa fase iniziale del ciclo di vita del prodotto, possono poi essere facilmente riutilizzate ed eventualmente estese alla produzione e all'assistenza post vendita.

Validi motivi per utilizzare XJTAG nel test dei PCBA

Un numero sempre più elevato di componenti è oggi fornito in package BGA, che per via dei terminali non direttamente accessibili impone restrizioni di test con l'utilizzo dei sistemi tradizionali. Mediante il boundary scan, con una semplice interfaccia a quattro pin, è consentito di controllare e monitorare i segnali sui componenti abilitati, anche senza alcun accesso fisico diretto.

I costi non ricorrenti (NRE - Non-Recurring Engineering) si riferiscono al costo sostenuto una tantum per la ricerca, la progettazione, lo sviluppo e il collaudo di un nuovo prodotto o del suo miglioramento. Nello stendere il budget per un nuovo prodotto, NRE deve essere attentamente considerato per analizzare se il risultato sarà redditizio o

meno. Ad esempio, il costo per lo sviluppo e la costruzione delle fixture di test molto spesso risulta proibitivamente elevato. In molti casi l'utilizzo di JTAG potrebbe abolirne la necessità, mentre in altri potrebbe semplificarne la complessità con un significativo risparmio economico, tenendo conto che è anche un valido strumento di programmazione.

Inoltre, per schede con bassi volumi di produzione è sempre stato difficile giustificare il costo di sviluppo del test; anche in questo caso JTAG consente di abbattere sia i tempi che i costi di test. Inoltre, modelli generici di test possano essere utilizzati durante la realizzazione degli apparati di test, riducendo tempi e costi di sviluppo.

I vari processori e le FPGA interagiscono con le periferiche in modi diversi. Il test funzionale tradizionale richiede (costosi) sviluppi specifici per ogni scheda, mentre la tecnologia boundary scan fornisce un'interfaccia standard semplificata per controllare i pin di I/O utilizzati per interagire con le varie periferiche, identica per tutti i dispositivi abilitati al JTAG. Il boundary scan, a differenza del test funzionale, fornisce informazioni molto precise in merito ai guasti rilevati sulla scheda, e ciò facilita una rapida riparazione. XJTAG fornisce anche la possibilità di visualizzare sia la posizione fisica di un guasto sul layout della scheda sia l'area del circuito in cui il guasto è localizzato sullo schema elettrico. I test boundary scan di XJTAG possono essere eseguiti su qualsiasi scheda con un'interfaccia JTAG funzionante. Nel caso di riparazioni dal ritorno dal campo, i test funzionali tradizionali non possono essere eseguiti se il firmware sulla scheda non si avvia. Per semplici errori sulle periferiche principali, come le RAM o i clock, il test funzionale non sarebbe in grado di fornire alcuna informazione diagnostica, mentre essi sarebbero individuati facilmente utilizzando il JTAG.

XJLink, il controller JTAG USB

L'unico strumento necessario per eseguire il test boundary scan è il controller XJLink la cui dimensione è paragonabile ad un mouse per PC.

XJLink e XJLink2 sono piccoli dispositivi hardware che forniscono l'interfaccia ad alta velocità alla catena JTAG sul circuito. Essendo plug-and-play USB sono semplici da installare e da utilizzare, sono riconfigurabili, leggeri e portatili, l'ideale per lavori di laboratorio e sul campo.

Il design piccolo e leggero consente di spostare facilmente il dispositivo XJLink sull'unità da testare. Funzionalità avanzate, come la programmabilità nell'indirizzamento dei segnali, l'alimentazione commutabile e la gestione automatica del segnale di clock facilitano il collegamento a una vasta gamma di schede (con un'unica licenza). ■

VP9000 l'ispezione del futuro è flessibile

- Nuovo design
- Nuova funzionalità di scelta della risoluzione
- Nuova interfaccia grafica user-friendly"

**Nuova
3D SPI
VP9000**



www.aoi.omron.eu

Omron AOI rappresentata in Italia da
Seica Spa

www.seica.com