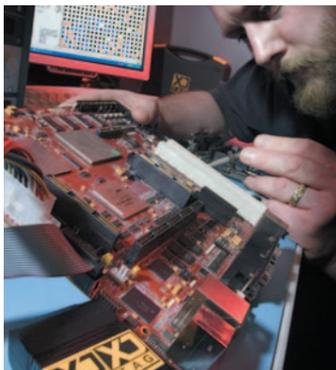


ARM社が
RealView
開発ツールの
デバッグとテストに
XJTAGを採用



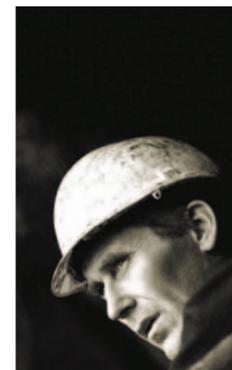
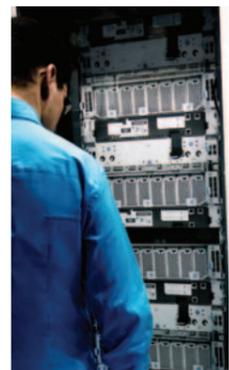
“ARM 社 (世界有数の半導体IP プロバイダ) ではXJTAG バウンダリスキャン開発システムをデバッグ、テストを効率化するために採用し、RealView 開発ツールの多層・高密度実装ターゲットボードの開発工数と費用を削減しました”



イマジネーション
テクノロジー社は、
XJTAGバウンダリ
スキャンを活用して
SoCの開発を加速

“先導的なIPイノベータであるイマジネーションテクノロジー社は、XJTAGバウンダリスキャンを活用することで、業界をリードするマルチメディアIPを基盤にしたシステムオンチップの設計の開発を加速しています。開発担当者は、早期試作ハードウェアのデバッグにこのシステムを用いることで、プロトタイプ基板ができる前にテストを開発できるようになり、製造上の欠陥は、デザインの検証を行うことなく、直ちに検出することができています”

Haliplex 社
コスト・不良品・
開発期間を
XJTAG で削減



“通信機器製造のHaliplex社(豪)は、高速・高信頼性・革新的なXJTAG バウンダリスキャンテストを活用することで、工数と不良品を削減し、年間US\$100,000 以上のコストを削減しました”



XJTAG
St John's Innovation Centre
Cowley Road
Cambridge | UK | CB4 0WS
Tel +44 (0) 1223 223007
Fax +44 (0) 1223 223009
Email enquiries@xjtag.com



FUJI SETSUBI

富士設備工業株式会社 電子機器事業部
〒591-8025 大阪府堺市北区長曾根町1928-1
TEL.072-252-2128 www.fuji-setsu.co.jp

無償評価版 / セットアップ無料 御社の基板で30日間お試しください

XJTAG

バウンダリスキャンテストシステム

drag-and-drop
Netlist Explorer
automatic chain discovery
LabVIEW ready





バウンダリスキャンテスト 開発環境

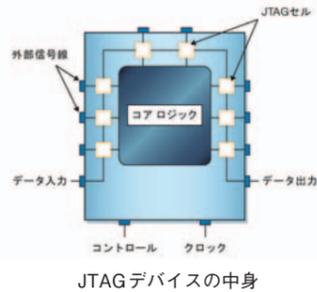
実装検査技術が直面する課題

BGA、多層基板、高密度デバイス実装などの増加により、プローブ接続に依存したテストに限界が生じています。また開発工数・費用の制約に対処するためには頻繁に行われる設計変更に対して、直ちに再テストできることが求められています。

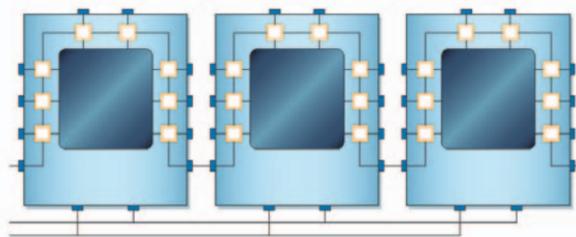
バウンダリスキャンテストはBGA実装の検査・解析ができること、JTAG信号(4ピン)接続のみでテストプローブ数を削減できること、設計段階でテストプログラムを事前に開発してカバレッジの予測ができることに加え、市場拡大で低価格化が進んでいることで、近年の課題を克服できる手法として改めて注目されています。

XJTAG開発システムは、IEEE 1149.1及び1149.6のバウンダリスキャン・スタンダードに準拠し、電子基板のデバッグ・テスト・プログラミングを簡単にできるテストスイートでHWとSWで構成されます。

従来製品と比較してXJTAGは、デバイスごとにテストをライブラリ(部品)化して抽象度を上げることで、テストプログラムの開発や再利用を容易にし、開発から出荷検査・不良解析まで製品ライフサイクルを一貫して支援できることを特長としています。



JTAGデバイスの中身

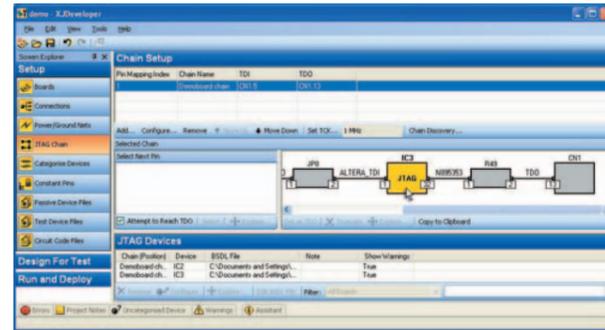


JTAGチェーン接続のイメージ

JTAGバウンダリスキャンは、マイクロプロセッサやFPGAなどデバイスオンチップに実装される専用のテスト回路を利用。デバイスは、個々にテストアクセスポートを持ち、これらをバウンダリスキャンチェーンとして基板上にシリアルに配線し、ヘッダコネクタでテストツールを接続。このテスト手法は、Joint Test Action Group (JTAG)によりIEEE 1149.1スタンダードとして1990年に制定されています。

XJDeveloper 概要

XJDeveloper は、バウンダリスキャンテストプログラムの開発と実行確認ができるグラフィカルアプリケーションです。



主な特長

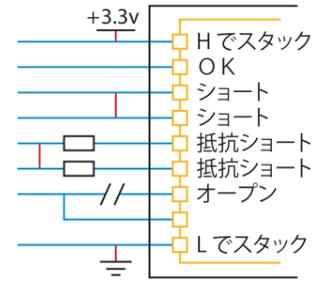
- 高い精度で実装エラーを解析：基板テスト・デバッグ工数を削減
- 設計段階からの早期検証：開発工数を短縮、プロジェクトのリスクを軽減
- 設計・試作で用いたテストを再利用：製造検査・不良解析向けのテスト開発工数を削減
- プロジェクト間でテストを再利用：工数とリスクを削減

機能

- 基板実装前にテストカバレッジを解析・予測
- 柔軟で強力なインターコネクトテスト
- 汎用デバイスのテストライブラリを無償公開
- CPLD, FPGA, Flash へのプログラミング
- 高度な機能テスト - Ethernet のループバックテストなど
- 各種ツールと統合させてテストシステムを構築
- 対応ネットリスト：EDIF 200, RINF, Protel, PADS-PCB, Cadence Allegro, P-CAD, Genrad, BoardStation (Mentor), Zuken, Protel V2, 他50種以上のネットリストをサポート

基板の実装テスト (インターコネクトテスト)

ネットリストとBSDLファイル (Boundary Scan Description Language デバイスメーカーから提供) を基に、ドラッグ&ドロップでJTAGチェーンを設定することで、JTAGデバイス上の信号線に対する様々なエラー(ショート・オープン)を検査します(電源やグランドへのショート、抵抗ショート、インバータを介したショートなど)。



XJTAG のコネクションテストは広範に渡る欠陥をサポート

またプルアップやプルダウン抵抗のテストも自動テストの一環として行われます。検出されたエラーの状態によっては、更なるテストを実行して欠陥のある場所を特定します。問題無いと思われていた基板から、欠陥を検出した多くの顧客事例が報告されています。

JTAG未対応デバイスのテスト

JTAGに対応していないデバイスに対しては、例えば、メモリに値を書いて読み返すことでアドレス線、データ線がショートやオープンになっていないことを検証することができます。またEthernet のパケットデータ送受信など、より高度な機能テストも、ブートコードなどターゲットへプログラミングされていない段階から実施できます。

XJDeveloper に内蔵のXJEase は、JTAGテストを高級言語でシンプルかつ迅速に開発するためのプログラミングツールです。変数、ループ、条件実行、関数コールなど多彩な機能を駆使して、基板を自在にリアルタイム制御して評価することができます。

再利用可能なテストライブラリを無償公開

XJEase でプログラミングされるJTAG未対応デバイスの多彩な機能テストライブラリを無償公開しています。これらにより、完全な機能テストをプログラミング無しに作成することが出来ます。望まれるデバイスがリストに無くても、同等のデバイス用ファイルに対する僅かな変更・修正や、新しいテストを独自にプログラムすることも簡単で、ソフトウェア開発の経験が必要としません。JTAG未対応デバイスの、どの信号線がドライブされて、どれが読み込まれるかを指定するだけです。JTAGそのものの動作や命令語など、知る必要はありません。また、XJTAG社、代理店である富士設備は、これらテストの作成をサポートしています。

テストカバレッジの解析

回路設計情報から XJDeveloperを用いて、事前にテストカバレッジを評価することができます。その結果から、カバレッジを上げる為に、追加の接続など設計上の考察が行えます。このカバレッジ解析は、インターコネクトテストと、JTAG未対応デバイスに対する機能テストから自動算出されます。またXJTAGでは、バウンダリスキャンテストを最大限活用する為の資料として、DFT (デザインfor テストのガイドライン) を提供しています。

Flash ROM, CPLD/ FPGA に対するプログラミング

Flashプログラミングの為にデバイスファイルも、無償提供しています。これらは、単純にデバイスごとのプログラミングアルゴリズムを使用しているだけで、他のJTAG未対応デバイス同様、ネットリストから必要な情報を自動的に抽出し、Flashへの書き込みに必要なプログラムが実行されます。

また、CPLD, FPGAなどへのプログラミングもサポートしています (STAPL /JAM, SVF 形式)。デバッグ時に書き込みだけを行うことや、一連のテストの中でプログラミングすることができます。

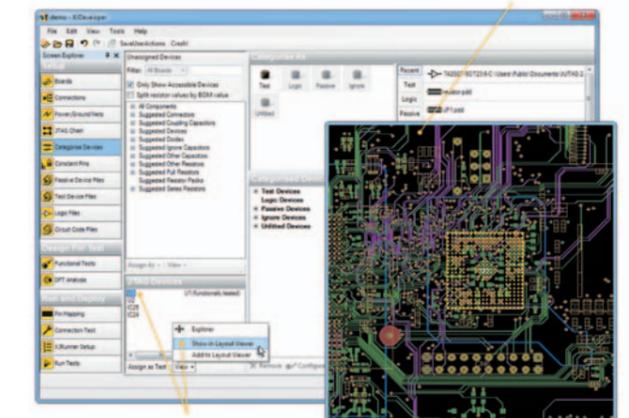
各種ツールとのインテグレーション

COMインターフェイスを介して、NI社LabVIEWや、Visual Basic®, C#®でプログラミングされた独自のテスト実行環境に、XJTAGのテストを統合させることができます。

レイアウトビューア

基板上の部品やネット、ピンの物理的な場所を即座に特定。ODB++ ジョブから抽出されたレイアウト設計データの表示をするこの機能は、XJDeveloperとXJRunnerの両方で活用いただけます。

XJDeveloperからのLayout Viewer表示



デバイス配置箇所をビューアで簡単確認



バウンダリスキャンテスト 実行・デバッグ環境

■XJRunner 概要

XJRunner は XJTAG のテスト実行環境です。基板製造・検査、フィールドテスト、不良解析向けの一連の機能を擁し、基板実装テスト、デバイスへのプログラミング、JTAG未対応デバイスの機能テストが行えます。

主な特長

- プロセスの向上 (柔軟なテストのログを介して)
- 委託先によるテストを管理
- 簡単：製造担当者のトレーニングコストを削減
- 複数のXJLink から複数のボードテストを同時実行可能

単純明快で、安全、かつ管理可能な生産試験

設計、あるいはテスト技術者によって作成されたテストは、圧縮・暗号化されたファイルにすることで、テストプロセスの一貫性を確保することができます。

テスト実行時には、様々な日本語メッセージを表示させて、各ボードをテストするための準備や後始末を指示・確認することができます。(実行開始/停止、パス/フェイルなど)

テスト担当者は、個別のログイン名を持つことができます。これにより検査結果に名前を残せるだけでなく、担当者ごとにテスト内容を制限することも可能です。

シリアル番号付け

XJRunner からシリアル番号やMACアドレスなどを登録しログを取ることができます。これらは、XJRunner により生成される

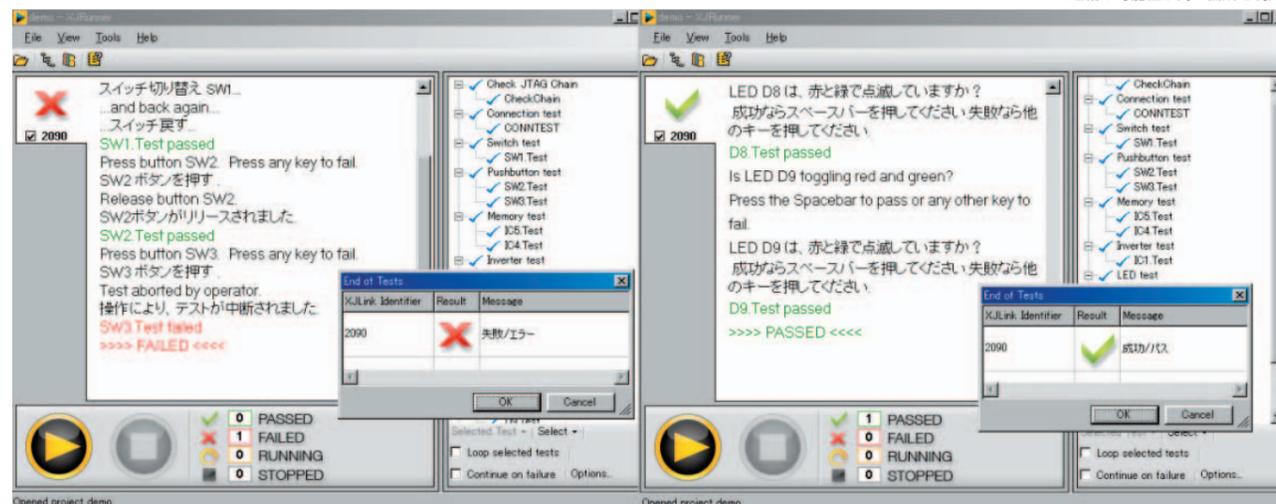
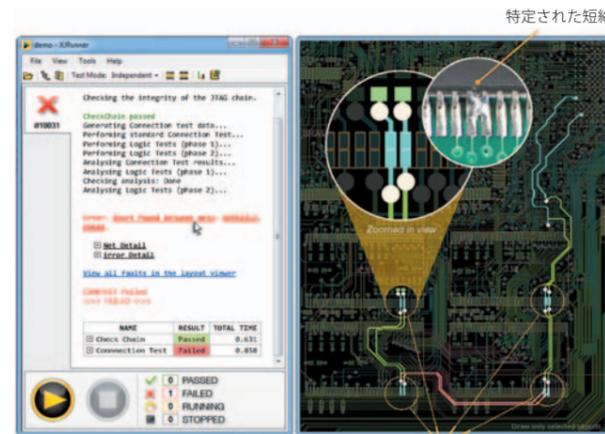
ようにXJEase でプログラムしておくことや、バーコードリーダーなどから直接入力させることもできます。

強力で、柔軟性のあるテスト

パス/フェイルの判定から欠陥のあるボードを生産ラインからふるい落とす。あるいは熟練者による追加のテストやデバッグから、欠陥箇所を特定することができるでしょう。また、特定のテスト、あるいはそれら組合せ実行、繰返し実行などをさせて、断続的に発生するような問題を診断することもできます。

レイアウトビューア

以下の例ではXJRunner による接続テストで検出された2つのネットの短絡が視覚化されています。この結果からメモリーデバイス上の4箇所のパッドに欠陥がありそうなことを判断できます。なぜなら図右上のBGAデバイス部分では、これらネットのピンが隣り合っていないので可能性が低い。そして実基板上で4箇所を先に調べることで、IC31のハンダ不良に問題があることを直ちに判明しました。



■XJAnalyser 概要

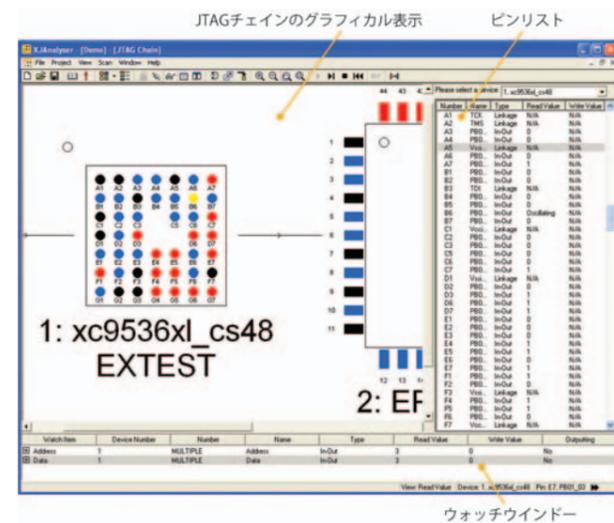
XJAnalyser はJTAGチェーンをリアルタイムに解析・デバッグできるグラフィカルツールです。

主な特長

- 開発効率の向上—BGAデバイスであっても信号に値を設定して確認することで、即座にデバッグができる
- 試作品から製品化までの開発・デバッグ期間を短縮
- デバイスごとのプログラミングツールが不要・コストを削減

機能

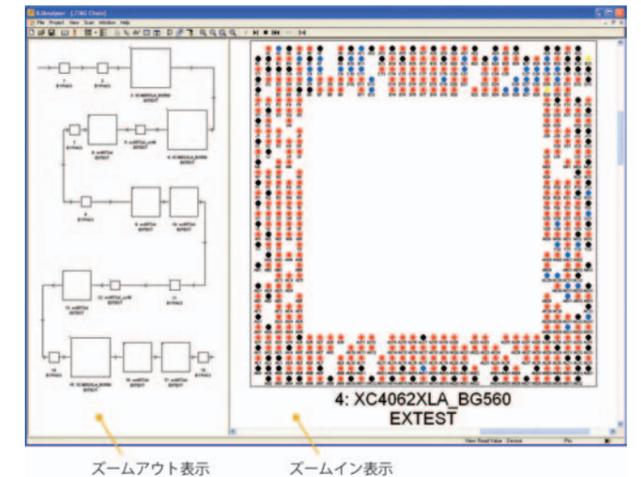
- プラグ&プレイで、リアルタイムにデバッグ
- BGA、ファインピッチデバイスにJTAG接続のみで対応できる
- BSDLファイルのみで使用できる(ネットリストも不要)
- 信号線を操作、H、L、トグル
- ショート、オープン、その他状態を監視
- デバイスピン、バス単位で簡単に操作
- ズーム表示、表示分割で信号線を明確に解析
- 変化する信号線を容易に確認
- SVF、STAPL 形式のプログラミング



グラフィカルに回路をデバッグ・JTAGチェーンを操作

オシロスコープで基板を解析する場合、ある信号線をH/Lにトグルさせながら、その信号を別のポイントで確認することで

よう。この場合、プローブが少しずれただけで、たちまち信号解析は中断されてしまいます。XJAnalyser なら、デバイス上のどの信号線がトグルされているかを、容易に確認できます。デバイスごとに数千もの信号線があっても、値を変化させながら、信号線を監視することができます。信号が多い場合には、興味の対象のみズームインすることや、複数ウインドーを用いて様々な箇所を同時に追いかけることもできます。



基板へのプログラミングやブートコードなど一切必要なく、XJAnalyser のグラフィカル表示、ピンリスト、ピンウォッチの3つのインターフェイスから、即座にJTAGチェーンの操作を開始することができます。全I/Oピンの状態をリアルタイムに監視しながら、H、L、あるいはトグル操作をすることや、ピンウォッチ画面では複数の信号線をバスに設定し(例えばデータやアドレスバスとして)、使い勝手の良い単位(Hex、バイナリ、デシマル)で、値を設定することができます。

また XJAnalyser は、ある信号をドライブして信号衝突(コンフリクト)が発生する場合、警告を発生し、基板に対するダメージを回避します。

CPLDへのプログラミング

XJAnalyserでは、CPLDやFPGAへのプログラミングをサポートしています(STAPL /JAM、SVF形式)。例え複数のJTAGデバイスが存在していても、特定デバイスごとのプログラミングが可能で



JTAGプローブ・PXIモジュール・I/Oボード

■XJLink/XJLink2 概要

XJLink/XJLink2は小型軽量のJTAGプローブで、本体にライセンスキーが内蔵される為、あらゆる場所でXJTAGシステムを活用できます。1台のPCにライセンスを固定する必要は有りません。またUSB電源に対応し、低電力基板への供給もできるので、AC電源のない場所でもノートPCのみでテストが行えます。

基板へはJTAGケーブル接続のみ。20ピン・ヘッダーコネクタのピン配置は、基板にあわせて設定可能です。
XJLink2は、最大4ポートを1つのJTAGチェーンに統合します。

高度にJTAGを接続

XJLink/XJLink2は、可変の信号終端を内蔵し、ターゲット基板側に終端がある・無しに関わらず接続が可能です。スキュー自動制御の進化により、JTAGチェーンとケーブルの組合せから最大のJTAG処理周波数を得ることができます。また、XJLink2はあらゆるターゲットに合わせて電圧レベルの調整が可能。

主な特長

- 小型、軽量、ポータブル/フィールドや実験室にも最適
- ライセンスキーはプローブ本体に内蔵
- JTAGコネクタのピン配置は設定可能

XJLink/XJLink2 共通機能

- 高速USB2.0接続 (最大480Mbps) (USB1.0 & 1.1互換)
- USBバスパワー (外部電源不要)
- XJLink : JTAGクロック (TCK) 速度: 最大50MHz
- JTAG信号の終端の調整可能
- 自動信号スキュー制御
- 基板ごとで異なるJTAGコネクタに対処
- 基板に電源供給可能 (3.3V, <100mA)
- JTAG信号5V耐性
- JTAGコネクタ上の予備の信号線をトリガ信号とすることや、テスト状態を確認すること、また基板をリセット状態に保持/外部電源をON、など制御信号として活用できる

XJLink2 機能

- JTAGクロック (TCK) 速度: 最大166MHz
- テスト基板上の、最大4 JTAGポートを接続
- 1.1V から3.3V まで0.1Vステップで、2種の電圧設定可能
- テスト開始用ボタンを搭載
- テスト状態を視覚的に表示
- 全I/Oピンに電圧計を内蔵
- 全I/Oピンに周波数カウンタ



■PXI モジュール 概要

PXI モジュールにより、テスト対象に対してPXI ラックからXJTAGの各種機能を実行させることができます。x1 あるいはx2 2つのXJLink が内蔵。PXI バスからテスト対象のJTAGチェーンにアクセスができるようになり、ノイズの影響を最小限になるように設計されているPXI 標準を用いて、他のテスト機器と統合させることができます。

構成可能なJTAG インターフェイス

PXI-01、PXI-02 の20-way JTAGコネクタのピン配置を設定可能。可変の信号終端を内蔵し、ターゲット基板側に終端がある・無しに関わらず接続が可能です。スキュー自動制御の進化により、JTAGチェーンとケーブルの組合せから最大のJTAG処理周波数を得ることができます。

柔軟性と拡張性、統合化をサポート

開発時にはシングルポート、製造段階のシステムプログラミングやテストにはマルチポート。PXI モジュールにより、JTAGテストは、柔軟で拡張性のあるものとなります。ライセンスキーは内蔵されているので、ネットワーク接続など必須無く、あらゆる場所で使用することができます。

標準のCOM (Component Object Model) インターフェイスにより、XJTAGによるテストをNI LabVIEW™, LabWindows™/CVI などと統合したり、Visual Basic やC#などを用いて専用の統合テストアプリケーションを組むこともできます。



LabVIEW and LabWindows/
CVI are registered
trademarks of National Instruments.

主な特長

- 標準PXIインターフェイス: 研究・開発・製造現場に最適
- モジュール型で、拡張性のある仕組み
- ライセンスを内蔵し単独のPXIラックでもXJTAGを利用可能
- あらゆる基板に合わせて再利用できる
- NI社 LabVIEW™ へ容易に統合

機能

- 32bit PXI/c PCI バスインターフェイス
- 3U 形状
- LabVIEW VIs (National Instruments)
- JTAG 信号の終端調整可能
- 自動信号スキューコントロール
- 様々なケーブル、基板構成をサポート
- ターゲットへの電源供給 (3.3V, <100mA)
- JTAG 信号は、+5V 許容
- スペア信号線を他の制御に利用 (ターゲットリセットなど)
- デモハードウェア用のソフトウェア、和文概説書付き

■XJIO、XJIO-PCI 概要

XJIO、XJIO-PCIは、XJTAGテストシステムの拡張ボードで、外部接続用コネクタの治具として、また搭載されるデジタル・アナログI/O を使用することにより、テストのカバレッジと、欠陥解析の質を向上させることができます。

さらなるテストを実現

テストで見逃される製造上の欠陥として、コネクタは良くある原因のひとつですが、これは高密度実装コネクタの出現で、増大するばかりです。テスト対象基板を、XJIO、XJIO-PCI に接続することで、基板のJTAGチェーンに接続されているネットだけでなく、PCIインターフェイスや他のコネクタに接続されるネット上の、欠陥の原因と場所を特定できるようになります。DACとADCによりアナログテストも行えるようになります。

デジタルインターフェイス

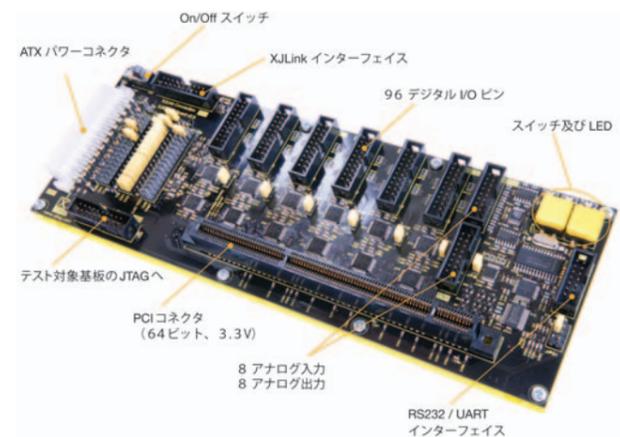
最大208チャンネルの双方向デジタルI/Oピン (XJIO)、最大96チャンネルの双方向デジタルI/Oピン+PCIコネクタ上の64デジタルI/Oピン (XJIO-PCI) 全I/Oピンは、5V耐性。デフォルトのロジックレベルは、3.3V。16本単位のブロックで、3.3V~1.8Vにユーザ定義が可能。

アナログインターフェイス

JTAGから制御可能な、8アナログ入力、8アナログ出力を搭載。例えば、ADCにより、アナログ測定 (電源ラインが範囲内にあるかなど) が行えます。またDACにより、基板へのアナログ信号をシミュレートし、アナログデバイスのテストを可能にすることで、テストカバレッジを向上させることもできます。

RS232 インターフェイス

230KBaud までのRS232 接続可能なUART、RS232 トランシーバを搭載し、JTAGチェーンから直接制御可能で、さらなるテストのカバレッジを達成できます。



主な特長

- アナログ/デジタルテストのカバレッジを向上
- より効果的に欠陥を検出し、デバッグ工数を削減
- 自作のテスト治具に代わる、再利用可能なテストハーネス
- JTAGデバイスを持たない基板のブラックボックステスト
- 容易に接続できて、PCIボードをテストできる
- JTAG デバイス未搭載基板のブラックボックステスト
- テスト作業をサポートするスイッチやLEDを搭載
- 複数のXJIO、XJIO-PCIを連結して拡張可能
- 標準IDCコネクタ採用

XJIO 機能

- 208チャンネルデジタルI/O-1.8V~3.3V 設定可能 (5V 耐性)
- 8チャンネルのADCとDAC
- USBパワー、12V外部電源の両方に対応
- RS232 / UART

XJIO-PCI機能

- 96チャンネルデジタルI/O: 1.8V~3.3V 設定可能 (5V 耐性)
- 8チャンネルのADCとDAC
- 標準ATXパワーコネクタ
- XJTAGプローブハードウェアからの電源供給も可能
- JTAG信号をPCIコネクタヘルパーリング可能
- 64 bit 3.3V PCIコネクタ
- RS232 / UART

