

Présentation

L'accès à toute la puissance du Boundary Scan via des composants compatibles JTAG offre de nombreux avantages lors de la mise en œuvre des prototypes et lors des tests de fabrication. L'Assistant DFT XJTAG® pour Altium Designer® vous aide à valider la mise en œuvre correcte de la chaîne d'analyse JTAG dès l'étape de schématique du processus de conception.

Bien conçu dès le départ

L'implémentation d'une chaîne JTAG sur votre carte électronique nécessite la conformité aux meilleures pratiques de conception en vue du test (Design for Test ou DFT). Pour tirer le meilleur parti du JTAG, la technologie de test disponible dans la plupart des composants complexes modernes – tels que les microprocesseurs, les microcontrôleurs, les DSP et les FPGA – nécessite que toutes les chaînes JTAG soient correctement connectées et terminées. Savoir quelle partie de votre carte électronique est accessible par

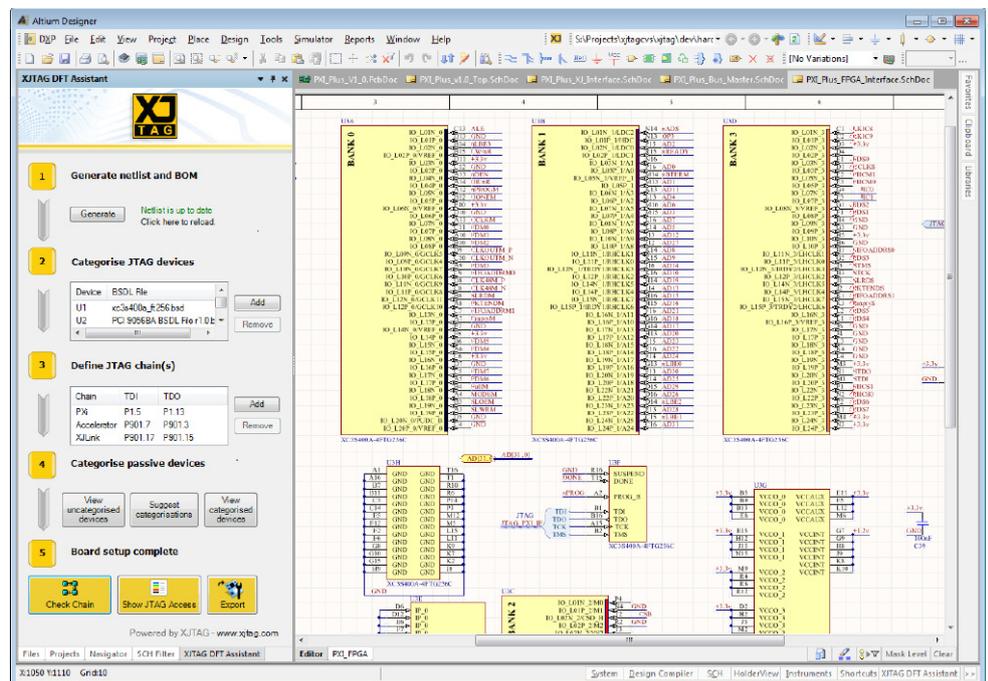
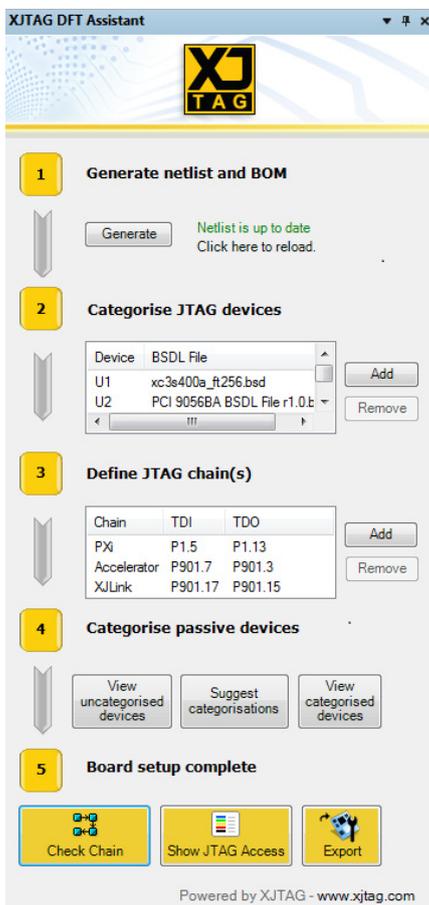
Boundary Scan est également utile, car c'est l'information indispensable pour les développeurs pour concevoir une couverture de test maximale.

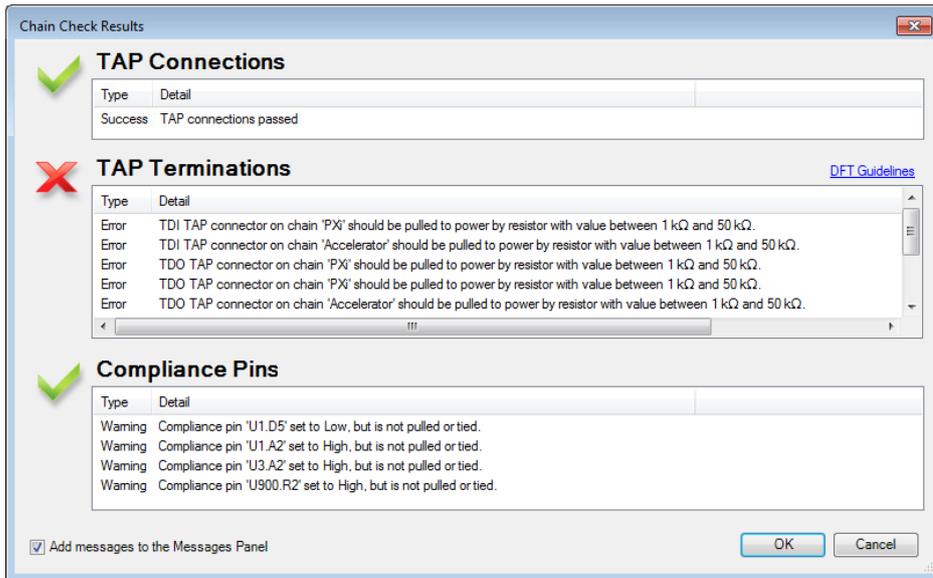
L'Assistant DFT XJTAG® vous aide à automatiser ce processus. L'extension associe les fichiers BSDL importés avec les composants correspondants sur le schéma, fournissant les informations dont il a besoin pour comprendre la chaîne JTAG. Les composants logiques et passifs qui propagent une chaîne Boundary Scan peuvent également être identifiés et catégorisés, ce qui permet de vérifier que des chaînes entières sur le schéma sont correctes. En visualisant l'étendue de l'accès JTAG, les développeurs peuvent facilement voir à quel point leur conception est accessible, et comment la couverture pourrait être étendue pour inclure des parties d'une conception qui ne sont pas accessibles aux tests Boundary Scan.

Principaux Avantages

- Effectue une analyse de conception en vue du test Boundary Scan à partir de l'environnement de saisie de schéma Altium Designer
- Evite les erreurs au début du cycle de développement, en réduisant les reprises ou les modifications de la carte
- Permet de comprendre quel accès de test est disponible sur une chaîne JTAG grâce à des vues codées par couleur
- Étend votre couverture de test Boundary Scan grâce à la mise en œuvre correcte des chaînes JTAG
- Améliore le processus de production et réduit le temps de mise sur le marché
- Exporte vers XJDeveloper pour le développement de tests supplémentaires (licence complète ou d'évaluation des outils XJTAG requis)

L'extension logicielle Assistant DFT XJTAG pour Altium Designer se trouve dans la vue de conception et est active pendant la conception du schéma. Cela facilite la validation de la connectivité des chaînes ou le contrôle de l'accès Boundary Scan à tout moment du processus de développement.





« XJTAG Chain Checker » identifie et catégorise les fautes et les avertissements des chaînes Boundary Scan

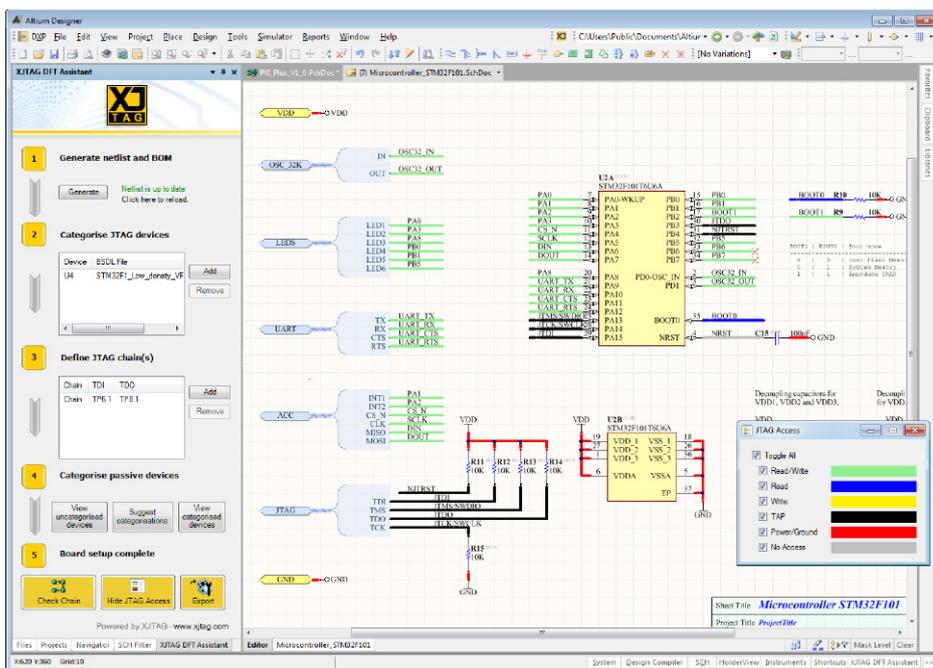
Installer l'Assistant DFT XJTAG® pour Altium Designer fournit aux développeurs une interface gratuite et simple d'emploi, pour détecter et corriger les problèmes potentiels dans une chaîne JTAG, bien avant que la carte rentre en production, ce qui permet d'économiser temps et argent sur l'ensemble du projet.

Le « **XJTAG Chain Checker** » analyse la netlist et recherche une chaîne d'analyse JTAG routable. Il identifie les erreurs potentielles trouvées sur les chaînes JTAG et affiche des avertissements, y compris :

- **Les erreurs de connexion** si un des signaux JTAG Test Access Point (TAP) est connecté à la broche incorrecte d'un composant compatible JTAG.
- **Les avertissements de terminaison** si l'un des signaux TAP n'est pas terminé comme recommandé.
- **Les erreurs de conformité de broches** si elles sont incorrectement forcées à un niveau haut ou bas, ou sont laissées flottantes.

Plus de détails

L'extension Assistant DFT XJTAG® pour Altium Designer comprend le « XJTAG Chain Checker » et le « XJTAG Access Viewer ».



« XJTAG Access Viewer » fournit une indication claire de l'accès de test à tout moment de la conception

Fonctionnalités

- Configurateur de projet très simple à mettre en œuvre pour procéder rapidement à une analyse JTAG DFT
- Importation automatique de la netlist à partir d'Altium Designer
- Inclut l'outil JTAG Access Viewer qui affiche directement sur le schéma électronique quelles « nets » sont accessibles par JTAG, codées par couleur
- L'analyse des résultats par l'outil Chain Checker identifie les erreurs potentielles trouvées sur les chaînes JTAG et propose des conseils pour les résoudre
- Affiche trois catégories d'erreurs : connexion, terminaison et conformité
- Les « nets » testables, codés par couleur, peuvent être activées ou désactivées pour simplifier la visualisation
- Catégorisation assistée des composants logiques et passifs afin d'étendre les chaînes Boundary Scan
- Export d'un projet vers XJDeveloper où d'autres tests peuvent être réalisés

L'extension Assistant DFT XJTAG identifie également l'étendue de l'accès JTAG sur l'ensemble d'un schéma. Ceci est superposé sur le schéma en utilisant le « **XJTAG Access Viewer** », permettant aux concepteurs de comprendre quels composants sont accessibles aux tests JTAG à un stade précoce de la conception. En visualisant quel accès de test est disponible, les ingénieurs sont en mesure de voir l'impact de leurs modifications de conception sur la testabilité de la carte, en voyant la couverture de test augmenter au fur et à mesure que des interconnexions supplémentaires sur la carte sont rendues accessibles à Boundary Scan.

L'ensemble du processus d'analyse DFT est géré par l'extension et rapporté dans Altium Designer. Les informations collectées peuvent également être exportées en tant qu'un projet préliminaire XJDeveloper, où elles peuvent être importées et utilisées comme base du développement de tests supplémentaires, en utilisant un contrôleur JTAG pour tester le matériel dès sa disponibilité.