

Обзор

Использование возможностей технологии пограничного сканирования (Boundary Scan) в JTAG-совместимых микросхемах даёт много преимуществ при отладке прототипа и/или при тестировании печатных плат на производстве. XJTAG® DFT Assistant для Mentor Graphics® PADS® выполняет проверки корректности JTAG цепи еще на стадии проектирования.

Прямо в процессе проектирования

При реализации JTAG цепи в проекте печатной платы желательно выдерживать ряд параметров. Получить максимальные преимущества от технологии пограничного сканирования (Boundary Scan), реализованной в большинстве современных микросхем, таких как микропроцессоры, микроконтроллеры, сигнальные процессоры, ПЛИС и так далее, можно только если JTAG цепи подключены и согласованы правильно. Соблюдение правил проектирования повышающих тестируемость платы обозначается условным обобщённым названием Design for Test – DFT.

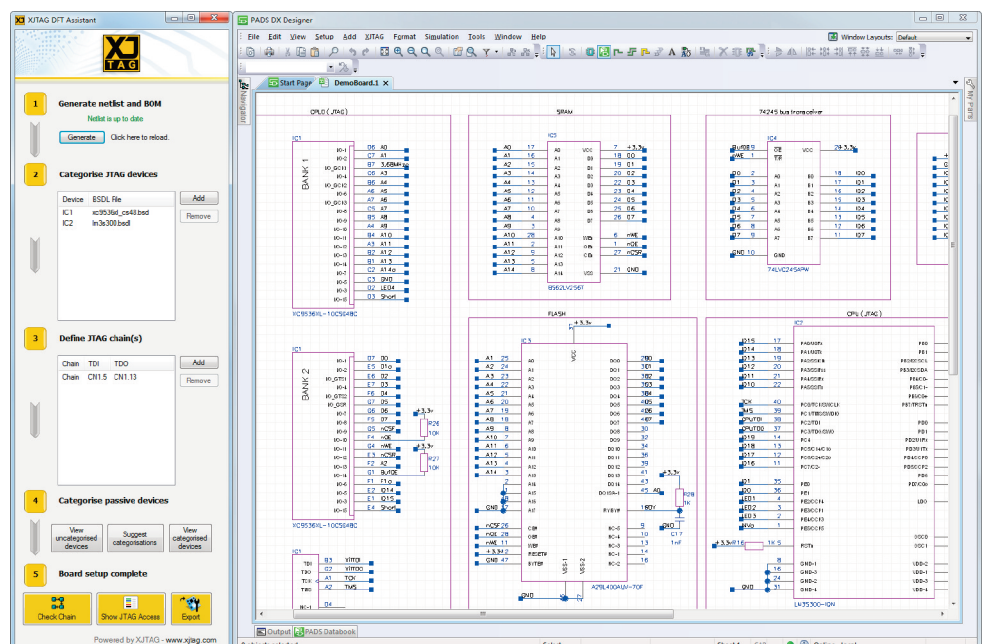
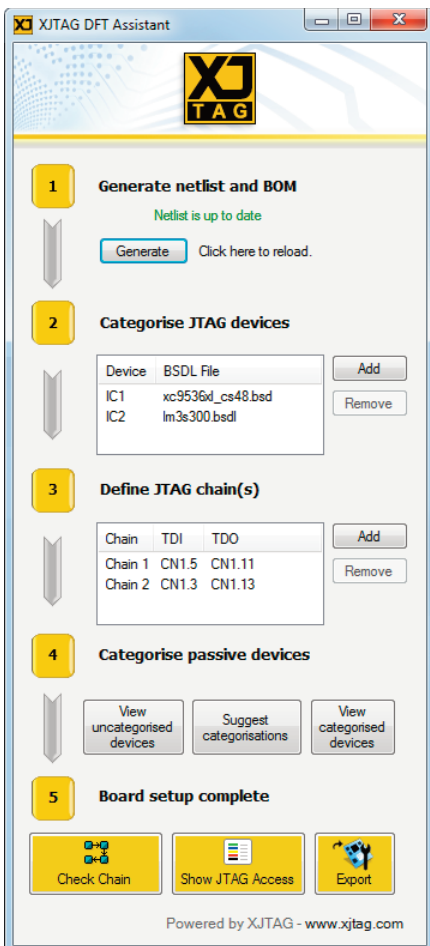
Наглядная индикация того, какие микросхемы на плате могут быть протестированы через пограничное сканирование (Boundary Scan) также очень важна, так как позволяет внести изменения в проект для увеличения тестового покрытия на ранних стадиях проектирования.

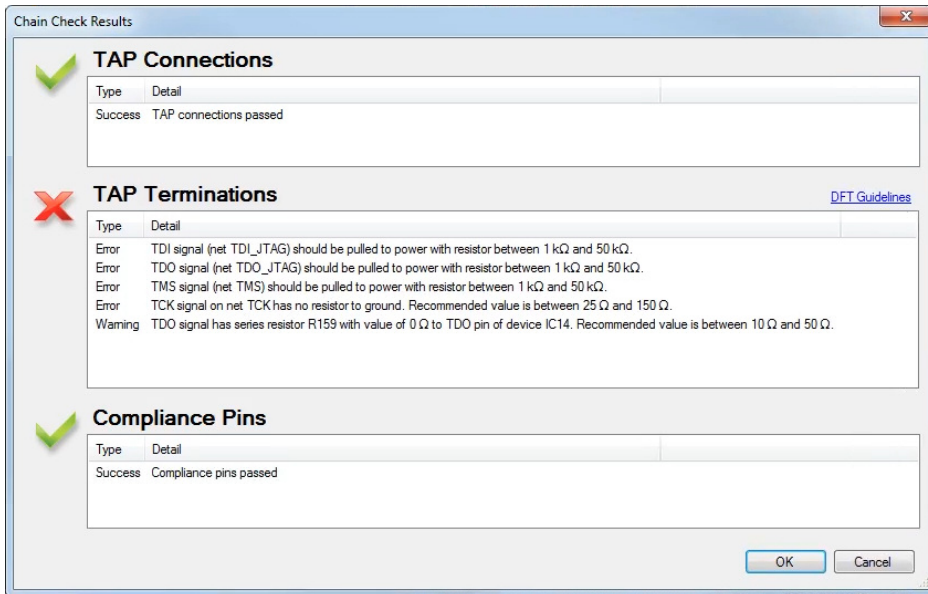
XJTAG DFT Assistant помогает автоматизировать эти процессы, подключая импортированные BSDL файлы к соответствующим компонентам на схеме, подготавливая тем самым основу для анализа правильности подключения JTAG цепи. Комбинационная логика и пассивные компоненты в составе JTAG цепи также могут быть обнаружены и классифицированы. Таким образом вся JTAG цепь, со всеми входящими в её состав компонентами, может быть проанализирована на предмет правильности подключения еще на этапе проектирования схемы. Визуализация доступности компонентов для тестирования непосредственно в схеме позволяет зрительно оценить тестовое покрытие и способы его улучшения.

Выгоды

- Анализ DFT непосредственно в Mentor Graphics PADS
- Устранение ошибок на этапе проектирования схемы, до разводки платы
- Визуальная индикация доступных для тестирования компонентов
- Правильная реализация JTAG цепи повышает покрытие
- Правильная реализация JTAG цепи повышает эффективность тестирования на производстве
- Экспорт данных в среду разработки тестирования XJDeveloper (требуется отдельная лицензия на продукты фирмы XJTAG)

Окно XJTAG DFT Assistant всегда отображается внутри схематехнического редактора Mentor Graphics PADS, в том числе и в процессе редактирования схемы. Это значит, что внося изменения в схему, разработчик сразу видит, какие компоненты доступны для тестирования через пограничное сканирование (Boundary Scan).





XJTAG Chain Checker находит и классифицирует ошибки и предупреждения в цепях пограничного сканирования (Boundary Scan)

Инсталляция XJTAG DFT Assistant в Mentor Graphics PADS означает возможность для разработчиков находить и исправлять потенциальные проблемы в JTAG цепях непосредственно в схеме, до начала проектирования топологии, что экономит время и стоимость проектирования.

Подробнее

Программное дополнение для Mentor PADS под названием XJTAG DFT Assistant включает два модуля: "XJTAG Chain Checker" и "XJTAG Access Viewer". Модуль Chain Checker анализирует нетлист и находит

готовые XJTAG цепи. При этом находятся ошибки и потенциальные ошибки (предупреждения) в JTAG цепях, включая:

- Ошибки подключения, когда один из сигнальных контактов интерфейса JTAG Test Access Point (TAP) подключён к неправильному контакту JTAG-совместимой микросхемы.
- Предупреждения по согласованиям, если какой-либо TAP сигнал не согласован должным образом.
- Ошибки по согласованиям, если неправильно расставлены подтягивающие резисторы и/или остались "висящие" цепи.

