

Übersicht

Der Zugriff auf die Leistung von Boundary-Scan durch JTAG-konforme, integrierte Schaltungen (ICs) bietet viele Vorteile bei der Prototyp-Erstellung und im Produktionstest. Der XJTAG® DFT Assistant für OrCAD® Capture führt alle benötigten Prüfungen durch, um sicherzustellen, dass Ihre JTAG-Kette von Beginn an korrekt ist.

Im Design bereits richtig

Die Implementierung einer JTAG-Kette in Ihre Leiterplatte erfordert die Einhaltung von Best Practices für Design for Test (DFT). Die leistungsstarke Technologie, die in den modernsten, hochfunktionellen ICs wie Mikroprozessoren, Mikrocontrollern, DSPs und FPGAs zur Verfügung steht, setzt auf den korrekten und ordnungsgemäßen Anschluss aller JTAG-Ketten. Es ist auch von Vorteil zu sehen,

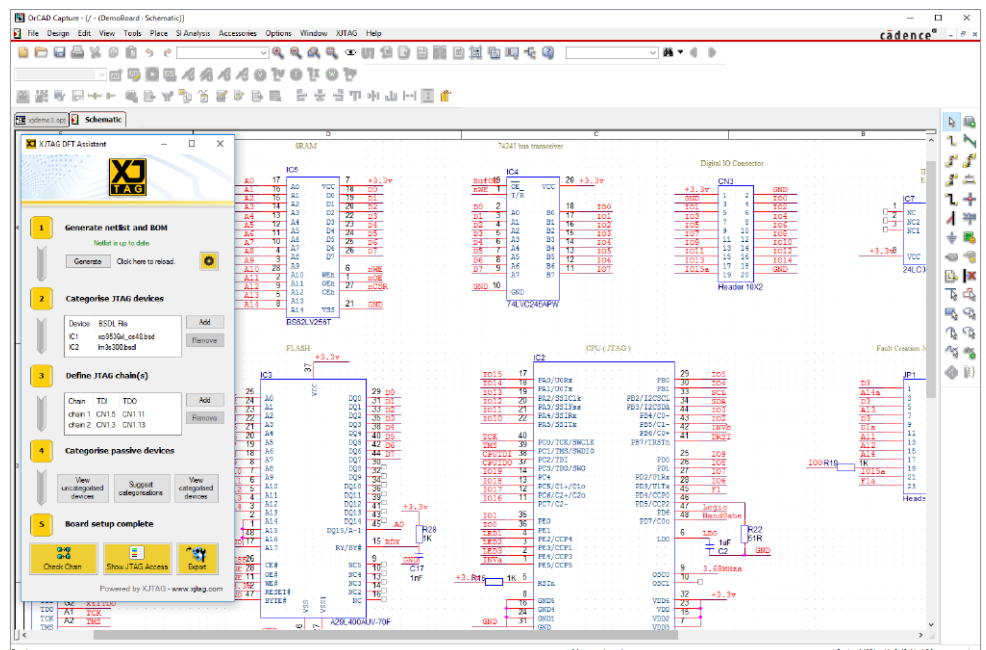
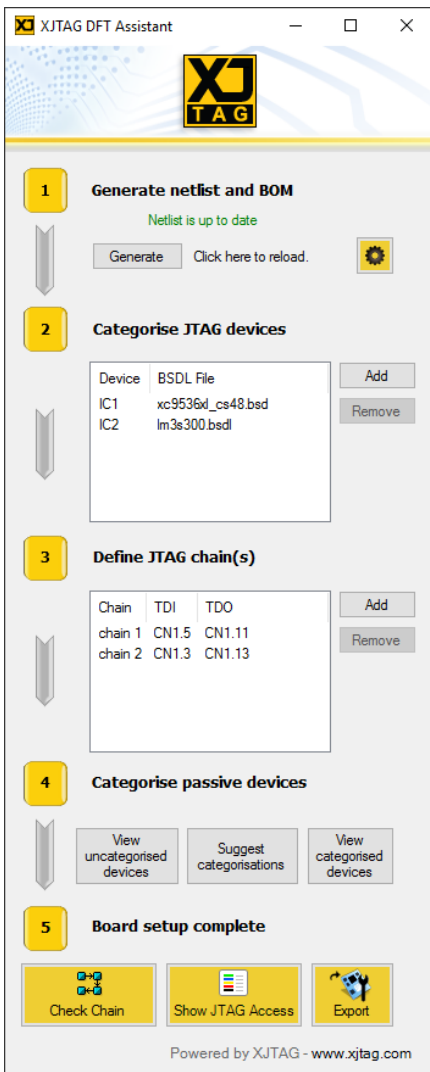
wieviel von Ihrer Platine mit Boundary-Scan zugänglich ist, da diese Informationen Entwicklern das Design auf maximale Testabdeckung ermöglichen.

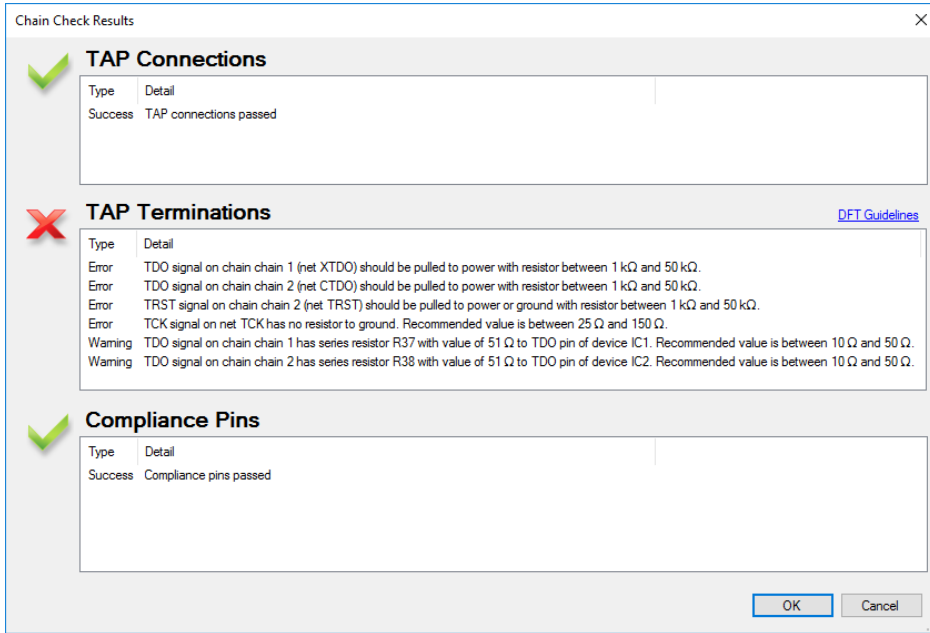
Der XJTAG DFT Assistant hilft bei der Automatisierung dieses Prozesses. Das Plugin assoziiert importierte BSDL-Dateien mit ihren relevanten Komponenten auf dem Schaltplan und liefert die Informationen, die zum Verständnis der JTAG-Kette benötigt werden. Logikbausteine und passive Geräte, die eine Boundary-Scan-Kette durchlaufen, können ebenfalls identifiziert und kategorisiert werden, so dass komplette Ketten auf dem Schaltplan auf Korrektheit überprüft werden können. Durch die Visualisierung des Ausmaßes des JTAG-Zugangs können die Entwickler leicht erkennen, auf wieviel ihres Designs zugegriffen und wie die Abdeckung erweitert werden kann, um auch die Bereiche des Designs zu berücksichtigen, die für Boundary-Scan-Tests nicht zugänglich sind.

Wesentliche Vorteile

- Führen Sie eine DFT-Analyse für Boundary-Scan-Zugriff von OrCAD Capture aus durch
- Vermeiden Sie Fehler frühzeitig im Entwicklungszyklus und reduzieren Sie so Board-Re-Spins oder Modifikationen
- Verstehen Sie dank farbcodierter Ansichten, wo Ihre JTAG-Kette Testzugriff bietet
- Erweitern Sie Ihre Boundary-Scan-Testabdeckung durch korrekte Implementierung der JTAG-Ketten
- Verbessern Sie den Produktionsprozess und reduzieren Sie Ihre Produkteinführungszeit
- Export aller Daten in XJDeveloper (Evaluierungs- oder volle Lizenz für XJTAG-Tools erforderlich)

Das XJTAG DFT Assistant-Fenster bleibt immer oberhalb des OrCAD Capture-Hauptfensters sichtbar und ist während des schematischen Designs aktiv. Dies vereinfacht die Durchführung von Kettenüberprüfungen und zeigt während des Entwicklungsprozesses jederzeit den Boundary-Scan-Zugriff.





Der XJTAG Chain Checker identifiziert und kategorisiert Fehler und Warnungen in der/n Boundary-Scan-Kette(n)

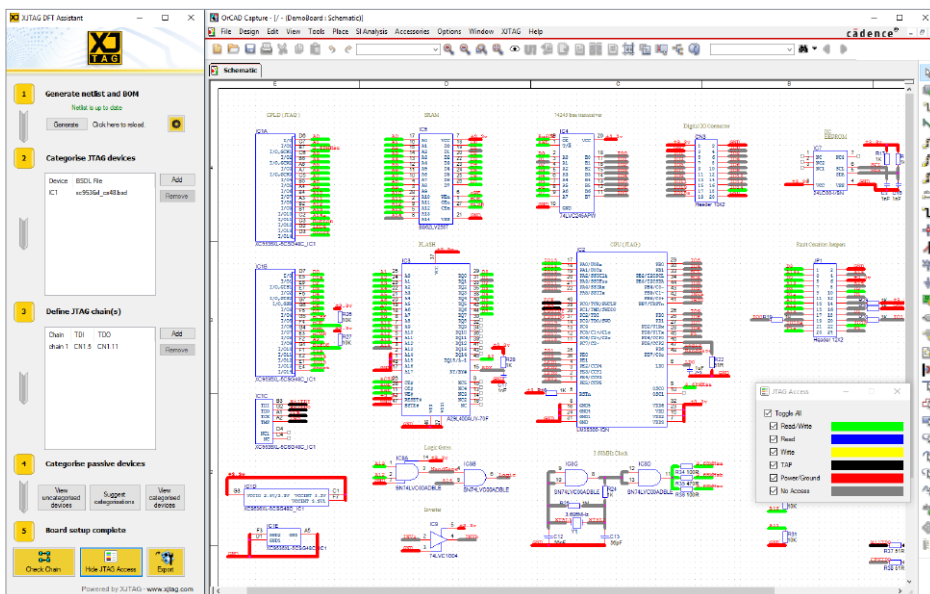
Die Installation von XJTAG DFT Assistant für OrCAD Capture bedeutet, dass Entwickler potenzielle Probleme in einer JTAG-Kette finden und korrigieren können, bevor sie zum Layout wechseln und somit Zeit und Kosten im Gesamtprojekt sparen.

Weitere Details:

Das XJTAG DFT Assistant für OrCAD Capture Software-Plugin besteht aus dem **XJTAG Chain Checker** und dem **XJTAG Access Viewer**.

Das Chain Checker-Tool analysiert Netzlisten und findet routbare Scan-Ketten. Es identifiziert Fehler und gibt Warnungen vor möglichen Problemen bei JTAG-Ketten, wie beispielsweise:

- Verbindungsfehler, wenn eines der JTAG-Test Access Point (TAP)-Signale an den/die falschen Pin(s) an einem JTAG-kompatiblen IC angeschlossen ist.
- Beendigungswarnungen, wenn eines der TAP-Signale nicht wie empfohlen beendet wird.
- Konformitäts-Pin-Fehler, wenn sie fälschlicherweise high oder low gezogen oder potentialfrei gelassen werden.



Der XJTAG Access Viewer bietet während des Designs klare Hinweise auf den Testzugriff an jedem beliebigen Punkt

Features

- Voll unterstütztes Board-Setup zur Durchführung einer JTAG-DFT-Analyse
- Automatischer Import der Netzliste aus OrCAD Capture
- Enthält ein JTAG Access Viewer-Tool, das die prüfbaren Netze eines Designs direkt auf dem Schaltplan zeigt
- Die Analyse der Ergebnisse aus dem Chain Checker-Tool identifiziert potenzielle Fehler in der/den Kette(n)
- Bietet drei Kategorien von Fehlern: Verbindung, Beendigung und Konformität
- Zeigt testfähige Netze mit farbcodierten Verbindungen an, die zur einfachen Anzeige ein- und ausgeschaltet werden können
- Unterstützte Kategorisierung von nicht JTAG-fähigen Geräten
- Ergebnis-Export in XJTAG für den Einsatz bei Prototyp-Entwurf und Produktionstest

Das XJTAG DFT Assistant-Plugin identifiziert auch den Umfang des JTAG-Zugangs eines ganzen Schemas. Dies wird mit dem XJTAG Access Viewer auf den Schaltplan überlagert, so dass Entwickler ihren Testzugriff in einem frühen Stadium des Designs nachvollziehen können. Durch die Visualisierung des Ausmaßes des Testzugriffs können die Ingenieure in der Lage sein, die Auswirkungen einer Änderung des Designs auf die Board-Prüfbarkeit zu sehen und zu beobachten, dass diese erhöht wird, wenn zusätzliche Netze Boundary-Scan-Zugang erhalten.

Der gesamte Prozess der DFT-Analyse wird durch das Plugin abgewickelt und an OrCAD Capture berichtet. Die gesammelten Informationen können auch als XJDeveloper-Projekt exportiert werden. Diese werden dann wiederum importiert und als Grundlage für die weitere Testentwicklung genutzt, unter Verwendung eines XJLink / XJLink2-Controllers zum Testen der Platine, sobald diese hergestellt wurde.

Vertriebspartner / Technologiepartner