

## 概要

XJTAG® DFT Assistant は、回路図入力段階でJTAGによるテスト容易化設計 (DFT) のチェックを可能にする、OrCAD® Captureの無料プラグインです。

JTAGバウンダリスキャンテストを最大限に活用するには、MPU、MCU、DSP、FPGA等のJTAG搭載デバイスがJTAGチェーンを介して正しく接続されて、適正に終端される必要があります。また基板設計の段階でJTAGによってアクセスできる範囲を知ることは、テストのカバレッジを最大限にするために有益です。

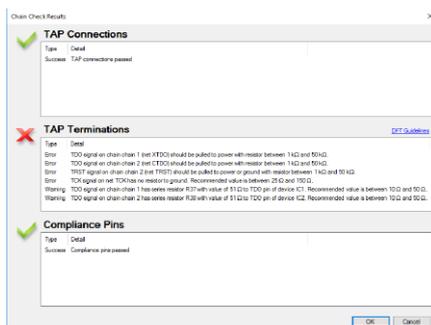
XJTAG DFT Assistantは、ネットリスト、BOM、BSDLファイルに、パッシブデバイスの分類情報を加えることで、JTAGバウンダリスキャンテストでアクセス可能な範囲を正確に解析して視覚化します。これにより回路図入力段階でテスト容易化設計 (DFT) をチェックして、手戻りを防ぎ、量産化プロセスを改善して市場投入までの期間を短縮することに貢献します。

## XJTAG Chain Checker

XJTAG Chain CheckerはXJDeveloperと同様に、ネットリストを分析して利用可能なスキャンチェーンを探す手法を用いています。またTAP信号が正しく終端されているかをチェックする独自のDFT機能もあります。

XJTAG Chain CheckerはJTAGチェーン上に存在する以下の潜在的な問題を検出します。

- 接続エラー：いずれかのJTAG Test Access Point (TAP) 信号がJTAG準拠デバイスの誤ったピンに接続
- 終端警告：いずれかのTAP信号が推奨値で終端されていない
- コンプライアンスピンエラー：不適切にプルアップ、プルダウン、あるいはフローティング状態になっている

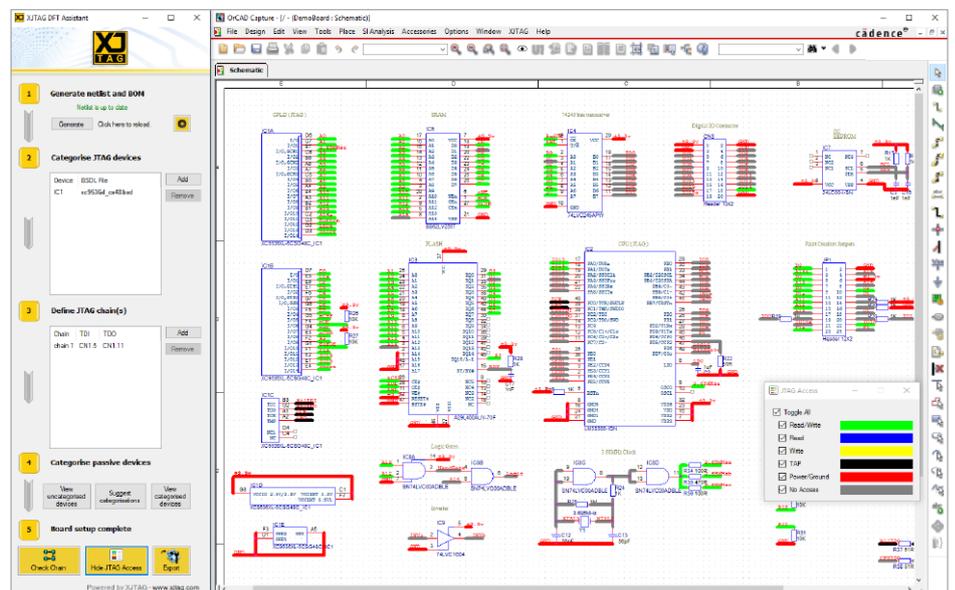


The XJTAG Chain Checker identifies and categorizes faults and warnings in the boundary scan chain(s)

## XJTAG Access Viewer

XJTAG DFT Assistantはまた、回路図全体を通してJTAGアクセスの範囲を検出できます。これはXJTAG Access Viewerによって回路図にオーバーレイ表示され、設計の初期段階でテストカバレッジを知るのに役立ちます。テストカバレッジを視覚化することで、設計変更がもたらす影響や、カバレッジを向上させる追加の配線がわかりやすくなります。

DFT分析プロセスはこのソフトウェア拡張によって処理され、結果は OrCAD® Captureに返されます。また収集された情報はXJDeveloperにエクスポートされ、基板の完成後にはXJLink/XJLink2 controllerを用いたテストの開発に使うこともできます。



The XJTAG Access Viewer provides a clear indication of test access at any point during design

## 機能

- OrCAD Captureに完全統合され、開発のあらゆるタイミングで活用できる
- JTAG DFT分析の設定を省力化
- OrCAD Captureからネットリストを自動インポート
- テスト可能なネットを回路図にオーバーレイ表示できる JTAG Access Viewerを内蔵
- XJTAG Chain Checkerの出力を分析してJTAGチェーン内の潜在的な問題を検出
- 接続、終端、コンプライアンスの3種のカテゴリーで問題を検出
- テスト可能なネットをカラーコードで表示
- スキャンチェーンを拡大するためにロジックデバイスとパッシブデバイスの分類を省力化
- XJDeveloperのプロジェクトをエクスポート