

Übersicht

Mit dem Layout Viewer können Sie schnell den physischen Standort von Komponenten, Netzen und Pins auf einer Leiterplatte ausfindig machen. Er bietet die Möglichkeit, Layout-Design-Daten aus ODB++-Aufträgen in XJDeveloper und XJRunner betrachten zu können.

Sie können den Layout Viewer verwenden, um alle Fehler zu visualisieren, die beim Ausführen von Tests gefunden werden. Die Verbindungstestausgabe enthält anklickbare Links, um alle relevanten Schaltungselemente direkt anzuzeigen.

In XJDeveloper, XJInvestigator, und XJRunner kostenlos enthalten

Der Layout Viewer ist in XJDeveloper, XJInvestigator und XJRunner integriert, um Ingenieuren zu helfen, Fehler schnell zu erkennen.

Visualisierung von Schaltungselementen

Die erweiterte grafische Darstellung markiert ausgewählte Komponenten und Netze. Einzelne Schichten können nach Bedarf ein- oder ausgeschaltet werden, um die Betrachtung bestimmter Schaltungselemente zu vereinfachen.

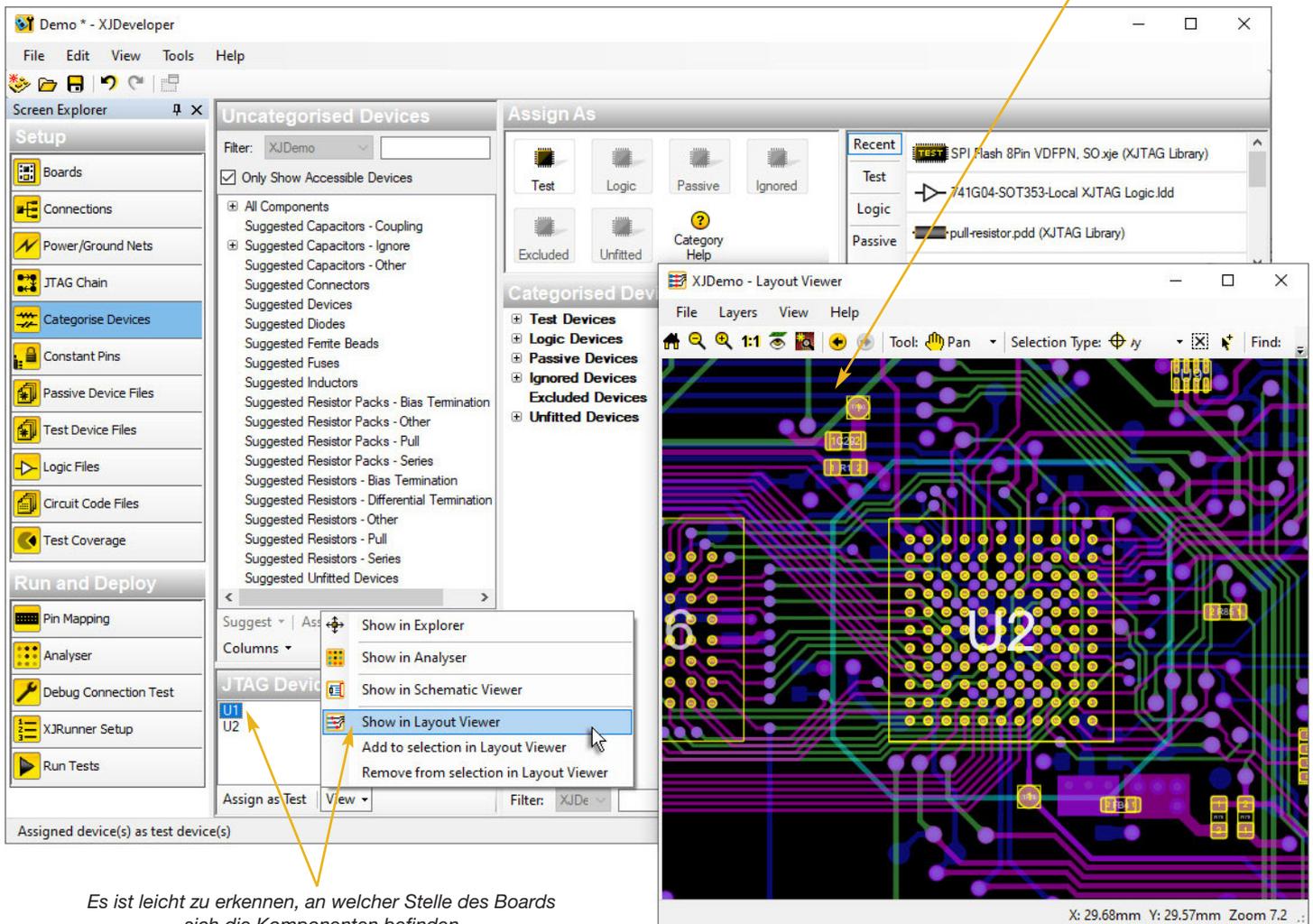
Wesentlicher Vorteil

Steigern Sie Ihre Produktivität, indem Sie die genaue Lage der zu reparierenden Fehler visualisieren

Features

- Hilfe bei der Identifizierung wahrscheinlicher Störungspunkte
- Misst den Abstand zwischen den Objekten
- Kontrolle über Sichtbarkeit der einzelnen Schichten
- Erweiterte Schicht- und Zoom-Steuerung
- Exportiert Grafiken in Zwischenablagen, Dateien oder zu Druckern
- Importiert Bilder für klarere Anzeige

Layout Viewer, dargestellt von XJDeveloper



Bestimmen Sie die Fehlerposition innerhalb von Sekunden

Der Layout Viewer kann verwendet werden, um schnell zu lokalisieren, wo sich Fehler auf der Leiterplatte befinden.

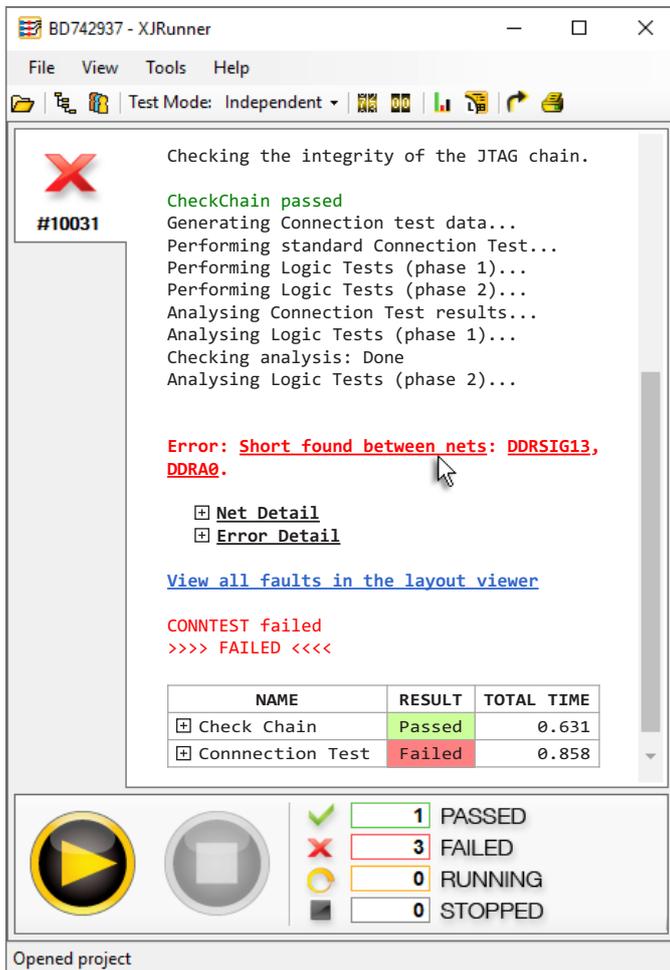
Die Textausgabe von XJRunner gibt Auskunft über die Arten von Störungen und welche Netze betroffen sind. Weiterhin stehen anklickbare Links zur Verfügung, mit denen der Fehler im Layout Viewer leicht sichtbar gemacht werden kann. Durch die Darstellung des Routings von

Netzen hilft der Layout Viewer, den Fehler auf der physischen Karte zu lokalisieren, indem er mögliche Problembereiche anzeigt.

In diesem speziellen Beispiel berichtet XJRunner, dass der Verbindungstest fehlgeschlagen ist und hat zwei Netze identifiziert, die zusammen kurzgeschlossen sind. Durch das Betrachten des Layouts ist leicht zu bestimmen, dass

die vier wahrscheinlichsten Orte die Pads auf den Speichergeräten sind. Es ist unwahrscheinlich, dass der Fehler unter dem BGA-Gerät liegt, da die Stifte nicht nebeneinander liegen.

Durch die Prüfung der vier Standorte auf der Leiterplatte konnte schnell erkannt werden, dass das Problem ein Lötfehler auf IC31 war.



BD742937 - XJRunner

File View Tools Help

Test Mode: Independent

X #10031

Checking the integrity of the JTAG chain.

CheckChain passed
 Generating Connection test data...
 Performing standard Connection Test...
 Performing Logic Tests (phase 1)...
 Performing Logic Tests (phase 2)...
 Analysing Connection Test results...
 Analysing Logic Tests (phase 1)...
 Checking analysis: Done
 Analysing Logic Tests (phase 2)...

Error: Short found between nets: DDRSIG13, DDRA0.

[Net Detail](#)
[Error Detail](#)

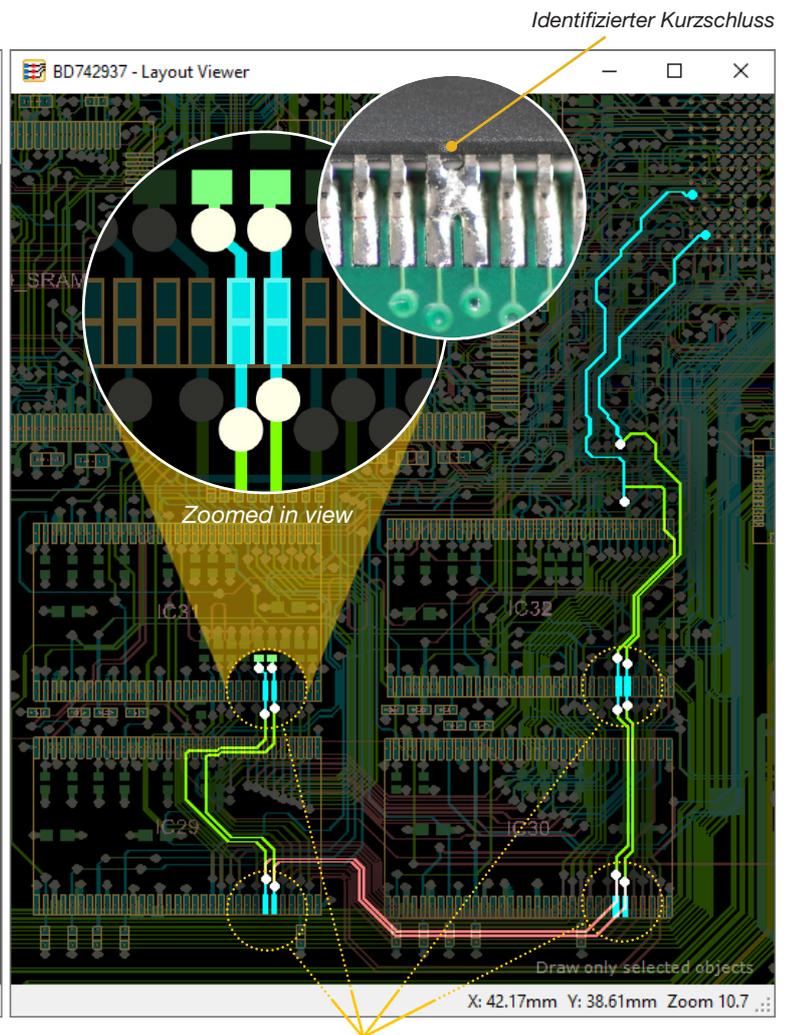
[View all faults in the layout viewer](#)

CONNTEST failed
 >>> FAILED <<<<

NAME	RESULT	TOTAL TIME
Check Chain	Passed	0.631
Connection Test	Failed	0.858

1 PASSED
 3 FAILED
 0 RUNNING
 0 STOPPED

Opened project



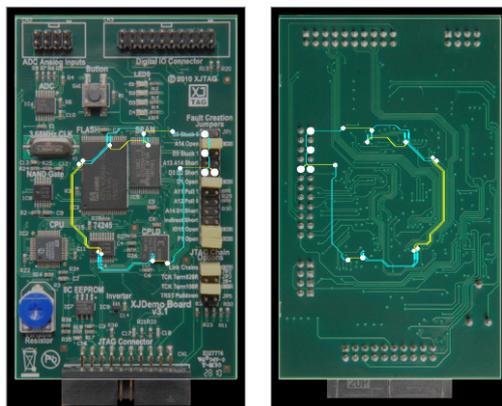
BD742937 - Layout Viewer

Identifizierter Kurzschluss

Zoomed in view

Wahrscheinlichster Standort für Kurzschlüsse

X: 42.17mm Y: 38.61mm Zoom 10.7



Importierung von Bildern

Für mehr Hilfe bei der Identifizierung der Stelle einer Leiterplatte, an der die Fehler zu lokalisieren sind, können Bilder von der Vorderseite und der Rückseite des Boards importiert werden. Diese Bilder können dann hinter den CAD-Daten mit den hervorgehobenen Komponenten und Netzen angezeigt werden.

Vertriebspartner / Technologiepartner

www.xjtag.com/partners