

## 概要

XJFlashは先進的で革新的な、JTAG経由の各種フラッシュデバイスのインシステムプログラミング (ISP) 技術です。XJFlashを使えば、バウンダリスキャンによる従来方式に比べてフラッシュ書き込みを50倍までスピードアップ可能です。

### 書き込み手順 - 自動生成

XJFlashなら、基板上のFPGAに接続されたフラッシュデバイスごとにカスタマイズされた書き込み手順を自動生成することができます。

XJFlashは可能な限りの書き込みスピードを実現するために、FPGAが持つ機能をフル活用します。人手による設計なしで最高性能が得られるように、各々のFPGAとフラッシュデバイスの

組み合わせごとにカスタマイズされたロジックを自動生成します。\*

SPI、QSPI、パラレルNORといったフラッシュデバイスの種類、またAltera、Xilinx、Microsemi、LatticeといったFPGAのメーカーを問わず、XJFlashは基板に最適化された書き込み手順を提供します。

\*XJFlashの設定時にはFPGAメーカーによる正規ライセンス版ツールが必要になります。多くのデバイスでは無償版でも使用可能です。

### XJFlash所要時間の例

バウンダリスキャンによる従来方式での理論上の最短時間: 35分  
XJFlashの場合: 10.5~32.6秒



XJFlashは書き込みのたびに自動的に次の四つのステップを実行します:

■ **初期化** - フラッシュデバイスに接続されたFPGAにターゲット基板向けのXJFlashデータが書き込まれます。  
**所要時間:** 2.1秒

■ **消去** - フラッシュデバイスが2種類のうちいずれかのアルゴリズムを用いて消去されます。基本モードでは定められた範囲のブロック（これはデバイス全体の場合もあるし、書き込むデータに必要な領域のみの場合もあります）を単純に消去します。インテリジェントモードでは消去より読み出しのほうが速いという特性を応用して、何らかのデータが書き込まれている箇所だけを消去します。なおデバイスがブランクであると分かっている場合は消去ステップを省略することもできます。

**所要時間 - 高機能モードを使用:**  
ブランクの場合0.9秒、全領域書き込み済みの場合23秒（デバイスの消去速度に依存します）

■ **書き込み** - JTAGポートを経由して書き込みデータがFPGAに送られます。FPGAはこのデータをフラッシュデバイスに書き込みます。複数のデータファイルをそれぞれの位置に書き込むことも出来ます。このステップを省略してベリファイだけを実行することもできます。

**所要時間:** 6.2秒（デバイスの書き込み速度に依存します）

■ **ベリファイ** - フラッシュデバイスとデータファイルを1バイトごとに比較して、エラーがないことを確認します。このステップを省略して書き込みや消去だけを実行することもできます。

**所要時間:** 1.3秒 (TCK 20MHz) ~ 1.8秒 (TCK 10MHz)

これらの所要時間は Spartan 6 XC6SLX9 を使用して、2MByteのランダムなデータをSPIコンフィギュレーションPROMに書き込んだ場合の数値です。

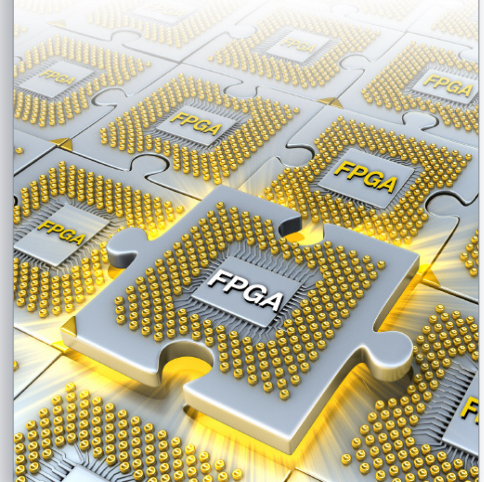
### 主な効果

- フラッシュ書き込み時間の削減
- SPI、QSPI、パラレルNORをサポート
- NANDフラッシュにも対応可能
- 開発サイクルの短縮
- 機器の追加は不要
- 高速なファームウェアの更新に使用可能
- FPGA開発は不要

### サポートするFPGA

- **Altera**  
Arria GX, Arria II GX, Arria II GZ, Arria V, Arria V GZ, Cyclone, Cyclone II, Cyclone III, Cyclone III LS, Cyclone IV E, Cyclone IV GX, Cyclone V, Stratix, Stratix GX, Stratix II, Stratix II GX, Stratix III, Stratix IV, Stratix V
- **Lattice**  
MachXO2, LatticeECP3, LatticeXP2
- **Microsemi**  
IGLOO2, ProASIC3, ProASIC3E, ProASIC3L, SmartFusion2
- **Xilinx**  
Artix-7, Kintex-7, Kintex UltraScale, Spartan-3, Spartan-3A, Spartan-3E, Spartan-6, Virtex-II, Virtex-II Pro, Virtex-4, Virtex-5, Virtex-6, Virtex-7, Virtex UltraScale, Zynq-7000, Zynq UltraScale+

最新情報はこちらからお問い合わせください。

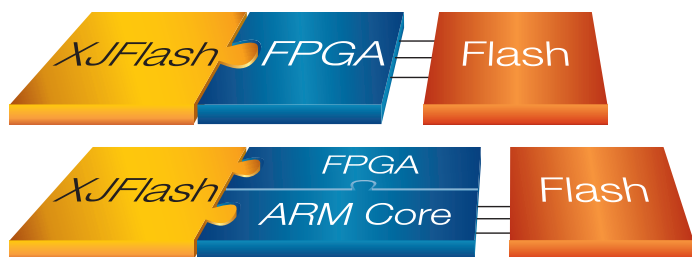


## XJFlashが使えるケース

XJFlashを使用するにはフラッシュデバイスのすべてのデータ、アドレス、制御信号が基板上的FPGAに接続されている必要があります。コンフィギュレーションPROMや汎用I/Oに接続されたフラッシュデバイスなどへも書き込むことができます。なお直接これらの信号線が接続されている場合はもちろん、バッファを経由していたり、別のデバイスと共有バスになっている場合でも使用可能です。

### 直接接続 – 使用可能

フラッシュデバイスがFPGAに直接接続されている。



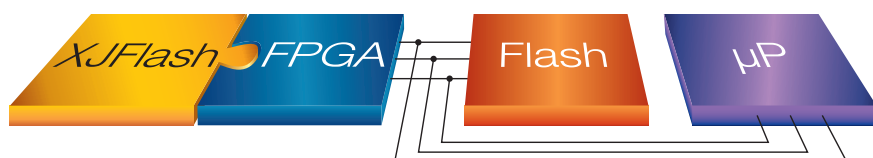
### 間接接続 – 使用可能

1. フラッシュデバイスがバッファを通してFPGAに接続されている。
2. データバスがアドレスバスを兼ねており、ラッチを通して接続されている。
3. フラッシュデバイスとFPGAの間にCPLDのような別のデバイスが接続されている。



### 共有接続 – 使用可能

フラッシュデバイスが上記のいずれかの方法で接続されているが、CPUのような別のデバイスとバスを共有している。



### 無接続 – 使用可能（設計変更が必要）

フラッシュデバイスが上記のいずれの方法でも接続されていない場合でも、FPGAの空き端子にフラッシュデバイスを接続できる可能性があります。これは基板の稼働中には使われず、フラッシュデバイスの書き込み時にXJFlashによる高速動作を実現します。またFPGAがフラッシュデバイスと同じアドレス/データバスにあるスレーブデバイスであれば、さらに信号線を減らすことができるかも知れません。



### FPGAなし – 工夫次第

残念ながらFPGAが搭載されていない基板ではXJFlashが使えませんが、CPUのデバッグインターフェースを使えば高速書き込みができるかも知れません。詳細についてはお問い合わせください。また別の方法として、フラッシュデバイスの信号をヘッダーから引き出すことができれば、それを通してXJFlashを使うことができます。



## テストとの統合

XJFlashはXJTAG開発システムと互換性がありますので、XJRunnerのテストプロジェクトの一部として書き込みを実行できます。

## さまざまな構成のフラッシュデバイスへの書き込み

単一デバイス、あるいはアドレス空間を拡げる直列接続やバス幅を拡げる並列接続等、いずれの構成でも、書き込み作業の高速化のためにXJFlashを使うことができます。

## カスタム開発

XJFlashはI<sup>2</sup>CやSPI、あるいはMicrochip社のICSPのような独自プロトコルのバスへのアクセスにも対応可能です。

またこれらのバスにターゲット基板上的FPGAが接続されている必要はありません。XJTAG開発システムの一部として、基板上的のヘッダ経由で高速書き込みが可能です。

詳細についてはお問い合わせください。

Authorised distributor:

 **FUJI SETSUBI**

富士設備工業株式会社 電子機器事業部  
〒591-8025 大阪府堺市北区長曾根町1928-1  
Tel: 072-252-2128 www.fuji-setsu.co.jp